

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-100707

(43)Date of publication of application : 13.04.2001

(51)Int.Cl.

G09G 3/36  
G02F 1/133  
G09G 3/20

(21)Application number : 11-277530

(71)Applicant : SEIKO EPSON CORP

(22)Date of filing : 29.09.1999

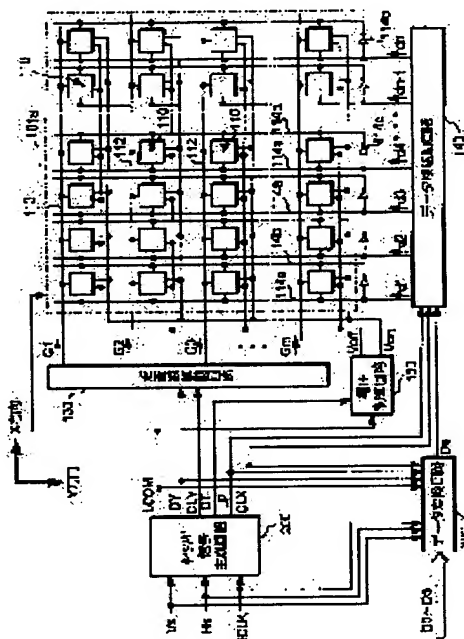
(72)Inventor : INOUE AKIRA  
YAMAZAKI TAKU

(54) DRIVING METHOD OF ELECTROOPTICAL DEVICE, DRIVING CIRCUIT, ELECTROOPTICAL DEVICE AND ELECTRONIC EQUIPMENT

(57)Abstract:

**PROBLEM TO BE SOLVED:** To conduct a high quality gradation displaying by binarizing the signals being applied to data lines and to increase the number of gradation regardless of data transfer interval.

**SOLUTION:** In the driving method, data signals, which instruct applications of the voltages that turn on or off each pixel, are successively generated in accordance with gradation data and written into the memory of each pixel in each of plural subfields that are made by dividing one field. At least a data transfer interval is passed, the voltages are applied to each of the pixels in accordance with the data signals.



## LEGAL STATUS

[Date of request for examination]

04.07.2003

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号  
特開2001-100707  
(P2001-100707A)

(43) 公開日 平成13年4月13日 (2001.4.13)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	テーマコード(参考)
G 0 9 G 3/36		G 0 9 G 3/36	2 H 0 9 3
G 0 2 F 1/133	5 5 0	G 0 2 F 1/133	5 5 0 5 C 0 0 6
	5 7 5		5 7 5 5 C 0 8 0
G 0 9 G 3/20	6 4 1	G 0 9 G 3/20	6 4 1 E

審査請求 未請求 請求項の数9 O L (全 22 頁)

(21) 出願番号 特願平11-277530

(22) 出願日 平成11年9月29日 (1999.9.29)

(71) 出願人 000002369

セイコーエプソン株式会社  
東京都新宿区西新宿2丁目4番1号

(72) 発明者 井上 明

長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

(72) 発明者 山崎 卓

長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

(74) 代理人 100093388

弁理士 鈴木 喜三郎 (外2名)

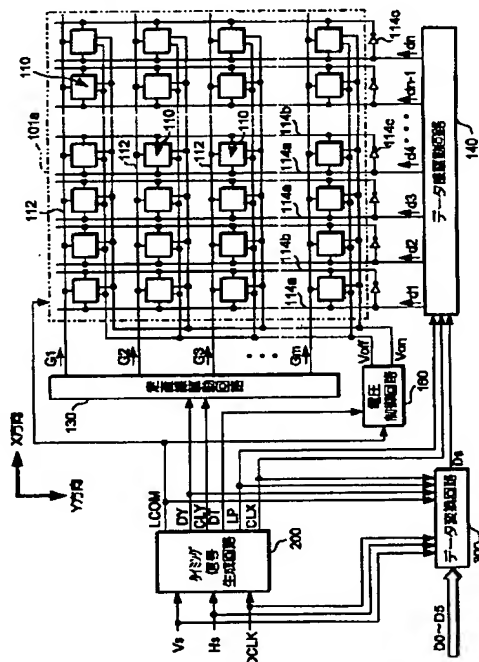
最終頁に続く

(54) 【発明の名称】 電気光学装置の駆動方法、駆動回路および電気光学装置ならびに電子機器

(57) 【要約】

【課題】 データ線に印加される信号を2値化して、高品位な階調表示を行うとともに、データ転送期間の長さとは無関係に階調数を増加させることができる。

【解決手段】 本発明に係る電気光学装置の駆動方法は、1フィールドを分割した複数のサブフィールドの各々において、各画素をオンにする電圧またはオフにする電圧の印加を指示するデータ信号を、階調データに応じて順次生成して各画素のメモリに書込み、少なくともデータ転送期間の経過後に、各画素に対して当該データ信号に応じた電圧の印加を行うようになっている。



## 【特許請求の範囲】

【請求項1】 フィールド毎に1画面分の各画素の階調データを受け取り、これらの階調データに従って、各々メモリを備えた複数の画素のオンオフ駆動を行う電気光学装置の駆動方法であって、

1フィールドを分割した複数のサブフィールドの各々において、各画素をオンにする電圧またはオフにする電圧の印加を指示するデータ信号を前記階調データに応じて順次生成して各画素のメモリに書込み、少なくとも、全画素のメモリに対して前記データ信号の書込みが行われる期間であるデータ転送期間の経過後に、各画素に対して当該データ信号に応じた電圧の印加を行うことを特徴とする電気光学装置の駆動方法。

【請求項2】 各サブフィールドにおけるデータ転送期間の間、各画素のメモリに書込まれたデータ信号とは無関係に、画素をオンにする電圧または画素をオフにする電圧のいずれかを各画素に対して印加することを特徴とする請求項1に記載の電気光学装置の駆動方法。

【請求項3】 フィールド毎に1画面分の各画素の階調データを受け取り、これらの階調データに従って、複数のデータ線と複数の走査線との各交差に対応して配設され、各々メモリを備えた複数の画素を駆動する電気光学装置の駆動回路であって、

1フィールドを分割した複数のサブフィールドの各々において、データ線から画素への電圧印加を可能にする走査信号を、前記走査線の各々に順次供給する走査線駆動回路と、前記複数のサブフィールドの各々において、画素をオンにする電圧またはオフにする電圧の印加を指示するデータ信号を前記階調データに応じて順次生成し、前記走査信号が供給される間、当該データ信号を各画素内のメモリに書込むべく各データ線に供給するデータ線駆動回路と、前記複数のサブフィールドの各々において、少なくとも、全画素のメモリに対して前記データ信号の書込みが行われる期間であるデータ転送期間の経過後に、前記各画素のメモリに書込まれたデータ信号に応じて画素がオンオフ駆動されるように、各画素に印加される電圧を制御する電圧制御回路とを具備することを特徴とする電気光学装置の駆動回路。

【請求項4】 前記電圧制御回路は、各サブフィールドにおけるデータ転送期間の間、各画素のメモリに書込まれたデータ信号とは無関係に画素がオンまたはオフとなるように、各画素に印加される電圧を制御することを特徴とする請求項3に記載の電気光学装置の駆動回路。

【請求項5】 複数の走査線と複数のデータ線との各交差に対応して配設され、各々メモリを備えた複数の画素を有する電気光学装置であって、

1フィールドを分割した複数のサブフィールドの各々に

おいて、データ線から画素への電圧印加を可能にする走査信号を、前記走査線の各々に順次供給する走査線駆動回路と、

前記複数のサブフィールドの各々において、画素をオンにする電圧またはオフにする電圧の印加を指示するデータ信号を前記階調データに応じて順次生成し、前記走査信号が供給される間、当該データ信号を各画素内のメモリに書込むべく各データ線に供給するデータ線駆動回路と、

前記サブフィールドの各々において、少なくとも、全画素のメモリに対して前記データ信号の書込みが行われる期間であるデータ転送期間の経過後に、前記各画素のメモリに書込まれたデータ信号に応じて画素がオンオフ駆動されるように、各画素に印加される電圧を制御する電圧制御回路とを具備することを特徴とする電気光学装置。

【請求項6】 前記電圧制御回路は、各サブフィールドにおけるデータ転送期間の間、各画素のメモリに書込まれたデータ信号とは無関係に画素がオンまたはオフとなるように、各画素に印加される電圧を制御することを特徴とする請求項5に記載の電気光学装置。

【請求項7】 複数の走査線と複数のデータ線との各交差に対応して配設された複数の画素を有する電気光学装置であって、

1フィールドを分割した複数のサブフィールドの各々において、データ線から画素への電圧印加を可能にする走査信号を、前記走査線の各々に順次供給する走査線駆動回路と、

前記複数のサブフィールドの各々において、画素をオンにする電圧またはオフにする電圧の印加を指示するデータ信号を前記階調データに応じて順次生成し、前記走査信号が供給される間、当該データ信号を各データ線に供給するデータ線駆動回路とを具備し、

前記各画素は、

画素電極と、

前記画素電極に対向した対向電極と、

前記画素電極および対向電極に挟持された電気光学材料と、

前記走査線を介して走査信号が与えられることにより前記データ線を介して供給されるデータ信号を記憶するメモリと、

前記複数のサブフィールドの各々において、少なくとも、全画素のメモリに対して前記データ信号の書込みが行われる期間であるデータ転送期間の経過後に、前記メモリに書込まれたデータ信号に応じて2種類の電圧の一方を選択して前記画素電極に印加する選択回路とを有することを特徴とする電気光学装置。

【請求項8】 前記画素の選択回路は、各サブフィールドにおけるデータ転送期間の間、前記メモリに書込まれたデータ信号とは無関係に2種類の電圧の一方を選択し

て前記画素電極に印加することを特徴とする請求項7に記載の電気光学装置。

【請求項9】 請求項5から8のいずれか1の請求項に記載の電気光学装置を表示装置として備えることを特徴とする電子機器。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、パルス幅変調により階調表示制御を行う電気光学装置の駆動方法、駆動回路および電気光学装置ならびに電子機器に関する。

【0002】

【従来の技術】電気光学装置、例えば、電気光学材料として液晶を用いた液晶表示装置は、陰極線管（CRT）に変わるディスプレイデバイスとして、各種情報処理機器の表示部や液晶テレビなどに広く用いられている。

【0003】ここで、従来の電気光学装置は、例えば、次のように構成されている。すなわち、従来の電気光学装置は、マトリクス状に配列した画素電極と、この画素電極に接続されたTFT（Thin Film Transistor：薄膜トランジスタ）のようなスイッチング素子などが設けられた素子基板と、画素電極に対向する対向電極が形成された対向基板と、これら両基板の間に充填された電気光学材料たる液晶とから構成される。そして、このような構成において、走査線を介してスイッチング素子に走査信号を印加すると、当該スイッチング素子が導通状態となる。この導通状態の際に、データ線を介して画素電極に、階調に応じた電圧の画像信号を印加すると、当該画素電極および対向電極の間の液晶層に画像信号の電圧に応じた電荷が蓄積される。電荷蓄積後、当該スイッチング素子をオフ状態としても、当該液晶層における電荷の蓄積は、液晶層自身の容量性や蓄積容量などによって維持される。このように、各スイッチング素子を駆動させ、蓄積させる電荷量を階調に応じて制御すると、画素毎に液晶の配向状態が変化するので、画素毎に濃度に変化することとなる。このため、階調表示することが可能となるのである。

【0004】この際、各画素の液晶層に電荷を蓄積させるのは一部の期間で良いため、第1に、走査線駆動回路によって、各走査線を順次選択するとともに、第2に、走査線の選択期間において、データ線駆動回路によって、データ線を順次選択し、第3に、選択されたデータ線に、階調に応じた電圧の画像信号をサンプリングする構成により、走査線およびデータ線を複数の画素について共通化した時分割マルチプレックス駆動が可能となる。

【0005】

【発明が解決しようとする課題】しかしながら、データ線に印加される画像信号は、階調に対応する電圧、すなわちアナログ信号である。このため、電気光学装置の周辺回路には、D/A変換回路やオペアンプなどが必要と

なるので、装置全体のコスト高を招致してしまう。さらに、これらのD/A変換回路、オペアンプなどの特性や、各種の配線抵抗などの不均一性に起因して、表示ムラが発生するので、高品質な表示が極めて困難である、という問題があり、特に、高精細な表示を行う場合に顕著となる。

【0006】本発明は、上述した事情に鑑みてなされたものであり、その目的とするところは、高品質・高精細な階調表示が可能な電気光学装置、その駆動方法、その駆動回路、さらには、この電気光学装置を用いた電子機器を提供することにある。

【0007】

【課題を解決するための手段】上記目的を達成するために、第1の発明は、フィールド毎に1画面分の各画素の階調データを受け取り、これらの階調データに従って、各々メモリを備えた複数の画素のオンオフ駆動を行う電気光学装置の駆動方法であって、1フィールドを分割した複数のサブフィールドの各々において、各画素をオンにする電圧またはオフにする電圧の印加を指示するデータ信号を前記階調データに応じて順次生成して各画素のメモリに書き込み、少なくとも、全画素のメモリに対して前記データ信号の書き込みが行われる期間であるデータ転送期間の経過後に、各画素に対して当該データ信号に応じた電圧の印加を行うことを特徴とする電気光学装置の駆動方法を提供するものである。

【0008】この発明によれば、1フィールドにおいて、画素をオン（またはオフ）にする電圧の印加時間が、当該画素の階調に応じてパルス幅変調される結果、実効値制御による階調表示が行われることとなる。この際、各サブフィールドにおいては、画素のオンまたはオフを指示するだけで済むので、画素への指示信号として、2値信号（すなわち、HレベルかLレベルかしか取り得ないデジタル信号）を用いることができる。従って、この発明では、画素への印加信号がデジタル信号となるので、素子特性や配線抵抗などの不均一性に起因する表示ムラが抑えられる結果、高品質かつ高精細な階調表示が可能となる。

【0009】なお、本発明において、1フィールドとは、水平走査信号および垂直走査信号に同期して水平走査および垂直走査することにより、1枚のラスト画像を形成するのに要する期間という意味合いで用いている。

【0010】また、この発明によれば、少なくともデータ転送期間が経過した後に、画素内のメモリに書き込まれたデータ信号に応じて画素をオンにする電圧または画素をオフにする電圧のいずれかを各画素に印加するようになっている。このため、データ信号に応じて画素をオンオフ駆動する期間を、データ転送期間の長さとは無関係に設定できるから、高階調の画像表示が可能となる。

【0011】なお、本発明において、データ転送期間とは、前記データ信号のいずれかの画素への書き込みが開始

されてから各データ信号が1画面分の全画素のメモリに対して書込まれるまでの期間を意味する。

【0012】この第1の発明の一態様において、各サブフィールドにおけるデータ転送期間の間、各画素のメモリに書込まれたデータ信号とは無関係に、画素をオンにする電圧または画素をオフにする電圧のいずれかを各画素に対して印加する。

【0013】第2の発明は、フィールド毎に1画面分の各画素の階調データを受け取り、これらの階調データに従って、複数のデータ線と複数の走査線との各交差に対応して配設され、各々メモリを備えた複数の画素を駆動する電気光学装置の駆動回路であって、1フィールドを分割した複数のサブフィールドの各々において、データ線から画素への電圧印加を可能にする走査信号を、前記走査線の各々に順次供給する走査線駆動回路と、前記複数のサブフィールドの各々において、画素をオンにする電圧またはオフにする電圧の印加を指示するデータ信号を前記階調データに応じて順次生成し、前記走査信号が供給される間、当該データ信号を各画素内のメモリに書込むべく各データ線に供給するデータ線駆動回路と、前記複数のサブフィールドの各々において、少なくとも、全画素のメモリに対して前記データ信号の書込みが行われる期間であるデータ転送期間の経過後に、前記各画素のメモリに書込まれたデータ信号に応じて画素がオンオフ駆動されるように、各画素に印加される電圧を制御する電圧制御回路とを具備することを特徴とする電気光学装置の駆動回路を提供するものである。

【0014】この第2の発明は、上記第1の発明を電気光学装置の駆動回路として具現したものであり、上記第1の発明と同様な効果を奏する。

【0015】この第2の発明の一態様において、前記電圧制御回路は、各サブフィールドにおけるデータ転送期間の間、各画素のメモリに書込まれたデータ信号とは無関係に画素がオンまたはオフとなるように、各画素に印加される電圧を制御する。

【0016】第3の発明は、複数の走査線と複数のデータ線との各交差に対応して配設され、各々メモリを備えた複数の画素を有する電気光学装置であって、1フィールドを分割した複数のサブフィールドの各々において、データ線から画素への電圧印加を可能にする走査信号を、前記走査線の各々に順次供給する走査線駆動回路と、前記複数のサブフィールドの各々において、画素をオンにする電圧またはオフにする電圧の印加を指示するデータ信号を前記階調データに応じて順次生成し、前記走査信号が供給される間、当該データ信号を各画素内のメモリに書込むべく各データ線に供給するデータ線駆動回路と、前記サブフィールドの各々において、少なくとも、全画素のメモリに対して前記データ信号の書込みが行われる期間であるデータ転送期間の経過後に、前記各画素のメモリに書込まれたデータ信号に応じて画素がオ

ンオフ駆動されるように、各画素に印加される電圧を制御する電圧制御回路とを具備することを特徴とする電気光学装置を提供するものである。

【0017】この第3の発明は、上記第1の発明を電気光学装置として具現したものであり、上記第1の発明と同様な効果を奏する。

【0018】この第3の発明の一態様において、前記電圧制御回路は、各サブフィールドにおけるデータ転送期間の間、各画素のメモリに書込まれたデータ信号とは無関係に画素がオンまたはオフとなるように、各画素に印加される電圧を制御する。

【0019】第4の発明は、複数の走査線と複数のデータ線との各交差に対応して配設され、各々メモリを備えた複数の画素を有する電気光学装置であって、1フィールドを分割した複数のサブフィールドの各々において、データ線から画素への電圧印加を可能にする走査信号を、前記走査線の各々に順次供給する走査線駆動回路と、前記複数のサブフィールドの各々において、画素をオンにする電圧またはオフにする電圧の印加を指示するデータ信号を前記階調データに応じて順次生成し、前記走査信号が供給される間、当該データ信号を各データ線に供給するデータ線駆動回路とを具備し、前記各画素は、画素電極と、前記画素電極に対向した対向電極と、前記画素電極および対向電極に挟持された電気光学材料と、前記走査線を介して走査信号が与えられることにより前記データ線を介して供給されるデータ信号を記憶するメモリと、前記複数のサブフィールドの各々において、少なくとも、全画素のメモリに対して前記データ信号の書込みが行われる期間であるデータ転送期間の経過後に、前記メモリに書込まれたデータ信号に応じて2種類の電圧の一方を選択して前記画素電極に印加する選択回路とを有することを特徴とする電気光学装置を提供するものである。

【0020】この第4の発明も、上記第1の発明を電気光学装置として具現したものであり、上記第1の発明と同様な効果を奏する。

【0021】この第4の発明の一態様において、前記画素の選択回路は、各サブフィールドにおけるデータ転送期間の間、前記メモリに書込まれたデータ信号とは無関係に2種類の電圧の一方を選択して前記画素電極に印加するようになっている。

【0022】この発明は、上記電気光学装置自体を単体で製造または製造する他、この電気光学装置を表示装置として備えた電気機器として製造または販売するという態様で実施することも可能である。

【0023】

【発明の実施の形態】以下、本発明の一実施形態について図面を参照して説明する。

【0024】＜本実施形態における電気光学装置の駆動方法＞まず、本実施形態に係る装置の理解を容易にする

ため、本実施形態における電気光学装置の駆動方法について説明する。

【0025】一般に、電気光学材料として液晶を用いた液晶装置において、液晶に印加される電圧実効値と相対透過率（または反射率）との関係は、電圧無印加状態において黒表示を行うノーマリーブラックモードを例にとれば、図6に示すような関係にある。なお、ここでいう相対透過率とは、透過光量の最低値および最高値を、それぞれ0%および100%として正規化したものである。図6に示すように、液晶の透過率は、液晶層に対する印加電圧が閾値 $V_{TH1}$ より小さい場合には0%であるが、印加電圧が閾値 $V_{TH1}$ 以上であり、かつ、飽和電圧 $V_{TH2}$ 以下である場合には、印加電圧に対して非線形に増加する。そして、印加電圧が飽和電圧 $V_{TH2}$ 以上である場合、液晶の透過率は印加電圧によらず一定値を維持する。

【0026】さて、液晶の透過率を0%と100%との間の中間的な透過率にするためには、図6に示す電圧／透過率特性において電圧 $V_{TH1}$ と電圧 $V_{TH2}$ との間にある当該透過率に対応して実効電圧を液晶層に印加する必要がある。従来の技術の下では、このような中間階調を得るための電圧がD/A変換回路やオペアンプなどのアナログ回路によって生成され、画素電極に印加されていた。

【0027】しかし、このような駆動方法によって画素電極に印加される電圧は、アナログ回路の特性や各種の配線抵抗などのばらつきによる影響を受けやすく、さらに、画素同士でみて不均一となりやすいので、高品質かつ高精細な階調表示が困難であった。

【0028】そこで、本実施形態に係る電気光学装置では、次のような方法により画素の駆動を行う。なお、本明細書において、1フィールドとは、水平走査信号および垂直走査信号に同期して水平走査および垂直走査することにより、1枚のラスト画像を形成するのに要する時間である。

【0029】まず、1フィールドを6つのサブフィールドに分割し、各サブフィールド単位で液晶層に対する電圧印加を行う。各サブフィールドでは、液晶層に対し、透過率0%に対応した電圧（例えば図6における電圧 $V_L (=0V)$ ）または透過率100%に対応した電圧（例えば図6における電圧 $V_H$ ）を印加する。

【0030】その際、1フィールド内において電圧 $V_H$ が印加される時間と電圧 $V_L$ が印加される時間との比率が階調データに応じた比率となるように、電圧 $V_H$ の印加を行うサブフィールドおよび電圧 $V_L$ の印加を行うサブフィールドを階調データに応じて決定する。このようにすることで、階調データに応じた実効電圧が液晶層に印加され、透過率0%と透過率100%との間の中間的な階調での表示が可能となるのである。

【0031】A：第1実施形態

＜電気的構成＞図1は、本発明の第1実施形態に係る電気光学装置の電気的な構成を示すブロック図である。この電気光学装置は、電気光学材料として液晶を用いた液晶装置であり、素子基板と対向基板とが互いに一定の間隙を保って貼付され、この間隙に電気光学材料たる液晶が挟持される構成となっている。また、この電気光学装置では、素子基板として半導体基板が用いられており、この素子基板に画素を駆動するトランジスタとともに、周辺駆動回路などが形成されている。図1には、この素子基板に形成された回路の構成が示されている。

【0032】図1に示すように、素子基板上における表示領域101aには、複数本の走査線112がX（行）方向に延在して形成され、複数本のデータ線114aおよびデータ線114bがY（列）方向に延在して形成されている。各データ線114bの一端は、画素110を介して隣接する1本のデータ線114aにインバータ114cを介して接続されており、各データ線114aおよびデータ線114bとが対をなすようになっている。そして、画素110は、走査線112と、一对のデータ線114aおよび114bとの各交差に対応して設けられて、マトリクス状に配列している。本実施形態では、説明の便宜上、走査線112の総本数をm本とし、データ線114aおよび114bのそれぞれの総本数をn本として（m、nはそれぞれ2以上の整数）、m行×n列のマトリクス型表示装置として説明するが、本発明をこれに限定する趣旨ではない。

【0033】図1において、タイミング信号生成回路200は、図示せぬ上位装置から供給される垂直走査信号 $V_s$ 、水平走査信号 $H_s$ およびドットクロック信号 $DCCLK$ に従って、各種のタイミング信号やクロック信号などを生成する装置である。このタイミング信号生成回路200によって生成される信号のうち主要なものを列挙すると次の通りである。

#### a. 交流化駆動信号 $L_{COM}$

この交流化駆動信号 $L_{COM}$ は、対向基板の対向電極108に印加される。本実施形態において交流化駆動信号 $L_{COM}$ は、 $V_H$ から $V_L (=0V)$ へ、 $V_L (=0V)$ から $V_H$ へ、という具合に1フィールド毎にレベル反転を繰り返す。ここで、電圧 $V_H$ は、前掲図6において説明したものである。なお、説明の便宜上、この交流化駆動信号 $L_{COM}$ のレベルに関しては、 $V_H$ を単にHレベルと呼び、 $V_L$ を単にLレベルと呼ぶ場合がある。

#### b. スタートパルス $DY$

このスタートパルスは、1フィールドを6分割した各サブフィールドの最初に出力されるパルス信号である。

#### c. クロック信号 $CLY$

このクロック信号 $CLY$ は、走査側（Y側）の水平走査期間を規定する信号である。

#### d. ラッチパルス $LP$

このラッチパルス $LP$ は、水平走査期間の最初に出力さ

れるパルス信号であって、クロック信号CLYのレベル遷移（すなわち、立ち上がりおよび立ち下がり）時に出力されるものである。

e. クロック信号CLX

このクロック信号CLXは、いわゆるドットクロックによって規定される信号である。

【0034】以上がタイミング信号生成回路200によって生成される主要な信号の概要である。

【0035】図1において、走査線駆動回路130は、いわゆるYシフトレジスタと呼ばれるものであり、サブフィールドの最初に供給されるスタートパルスDYをクロック信号CLYに従って転送し、走査線112の各々に走査信号G1、G2、G3、…、Gmとして順次排他的に供給するものである。

【0036】データ線駆動回路140は、ある水平走査期間において2値信号Dsをデータ線114aの本数に相当するn個順次ラッチした後、ラッチしたn個の2値信号Dsを、次の水平走査期間において、それぞれ対応するデータ線114aにデータ信号d1、d2、d3、…、dnとして一斉に供給するものである。このデータ線駆動回路140の具体的な構成は、図2に示される通りである。

【0037】図2に示すように、このデータ線駆動回路140は、Xシフトレジスタ1410と、第1のラッチ回路1420と、第2のラッチ回路1430とから構成されている。Xシフトレジスタ1410は、水平走査期間の最初に供給されるラッチパルスLPをクロック信号CLXに従って転送し、ラッチ信号S1、S2、S3、…、Snとして順次排他的に供給するものである。第1のラッチ回路1420は、2値信号Dsをラッチ信号S1、S2、S3、…、Snの立ち下がりにおいて順次ラッチするものである。第2のラッチ回路1430は、第1のラッチ回路1420によりラッチされた2値信号Dsの各々をラッチパルスLPの立ち下がりにおいて一斉にラッチするとともに、データ線114aの各々にデータ信号d1、d2、d3、…、dnとして供給するものである。一方、各データ線114bはインバータ114cを介して各データ線114aに接続されているから、各データ線114bには、上記データ信号d1、d2、d3、…、dnをレベル反転した信号が供給される。

【0038】ここで、本明細書においては、1つのサブフィールド内において、いずれかの画素に対してデータ信号の書込みが開始されてから、全ての画素に対してデータ信号の書込みが終了するまでの期間を「データ転送期間」と呼ぶ。具体的には、走査線駆動回路130から最初の走査信号G1（図1中最も上段に位置する走査線112への走査信号）の出力が開始されてから、最後の走査信号Gm（最も下段に位置する走査線112への走査信号）の出力が終了するまでの期間が、データ転送期間に相当する期間である。なお、図7（詳細は後述す

る）に示すように、実際には各サブフィールドの開始時点（すなわち、スタートパルスDYの立ち上がり時点）と、最初の走査信号G1の出力開始時点とは時間的にずれているが、以下では説明の便宜上、データ転送期間の開始点をスタートパルスDYの立ち上がり時点であるものとして説明を進める。

【0039】さて、本実施形態では、上述したように、1フィールドを6個のサブフィールドSf0～Sf5に分割し、これらの各サブフィールド単位で、5ビットの階調データに対応した画素のオンオフ駆動を行う。ここで、各サブフィールドの時間長は、上記データ転送期間の時間長と、所定の重みを有する実効電圧を画素に与え得るだけの時間長との合計となっている。以下、各サブフィールドの具体的な時間長について説明する（図8参照）。

- a. サブフィールドSf0は、データ転送期間の時間長と、前掲図6における電圧VTH1相当の実効電圧を液晶層に与え得るだけの時間長とを合わせた時間長となっている。
- b. サブフィールドSf1は、データ転送期間の時間長と、重み「1」に相当する実効電圧を画素に与え得るだけの時間長とを合わせた時間長となっている。
- c. サブフィールドSf2は、データ転送期間の時間長と、重み「2」に相当する実効電圧を画素に与え得るだけの時間長とを合わせた時間長となっている。
- d. サブフィールドSf3は、データ転送期間の時間長と、重み「4」に相当する実効電圧を画素に与え得るだけの時間長とを合わせた時間長となっている。
- e. サブフィールドSf4は、データ転送期間の時間長と、重み「8」に相当する実効電圧を画素に与え得るだけの時間長とを合わせた時間長となっている。
- f. サブフィールドSf5は、データ転送期間の時間長と、重み「16」に相当する実効電圧を画素に与え得るだけの時間長とを合わせた時間長となっている。

【0040】各サブフィールドSf0～Sf5の時間長は以上のように選定されており、1フィールド内において電圧VHが印加される時間と電圧VLが印加される時間との比率が階調データに応じた比率となるように、電圧VHの印加を行うサブフィールドおよび電圧VLの印加を行うサブフィールドを階調データに応じて決定する。そして、これにより、階調データに応じた32階調の画像表示が可能となっている。

【0041】次に、図3を参照して、画素110の具体的な構成について説明する。

【0042】本実施形態における画素110は、画素自体に1ビットのデジタル信号を記憶するメモリと、このメモリに記憶されたデジタル信号に応じて電圧VonまたはVoffを選択して画素電極に印加する回路とが設けられている。

【0043】図3において、インバータ121および1

22は、一方の出力端子が他方の入力端子に接続されており、全体として1ビットのメモリを構成している。トランジスタ116aおよび116bは、この1ビットのメモリに対して書き込みを行うときにオン状態とされるスイッチングトランジスタであり、各々のドレインはインバータ121および122の各出力端子に接続され、各々のゲートは走査信号Giを供給する走査線112に接続されている。また、トランジスタ116aのソースにはデータ線114aが、トランジスタ116bのソースにはデータ線114bが、それぞれ接続されている。ここで、データ線114aには、上述したデータ線駆動回路140から信号dj (j=1~n) がそのまま供給される一方、データ線114bにはこの信号djをレベル反転した信号が供給される。これらの各データ線上の信号は、トランジスタ116aおよび116bを介してインバータ121および122からなるメモリに与えられ、このメモリに書込まれる。

【0044】トランスミッションゲート123は、入力端が電圧Vonを供給する配線に接続されており、出力端が画素電極118に接続されている。また、トランスミッションゲート124は、入力端が電圧Voffを供給する配線に接続されており、出力端が画素電極118に接続されている。これらのトランスミッションゲート123および124は、いずれもHレベルのゲート信号を与えられることによりオンになるゲートであり、これらには上記メモリにおけるインバータ121および122の各出力信号がゲート信号として供給される。

【0045】ここで、この画素の動作について説明する。

【0046】まず、走査線112にHレベルの走査信号Giが出力され、トランジスタ116aおよび116bがオン状態となっているときに、Hレベルのデータ信号djがデータ線114aに、Lレベルの信号/djがデータ線114bにそれぞれ出力されたとする。この場合、インバータ121の出力信号がHレベル、インバータ122の出力信号がLレベルとなるため、トランスミッションゲート123のみがオン状態となり、このトランスミッションゲート123を介して電圧Vonが画素電極118に印加される。

【0047】次に、走査線112に対する走査信号GiがLレベルになると、トランジスタ116aおよび116bはオフ状態となり、インバータ121および122はそれ以前の出力信号レベルをそのまま維持する。この間、インバータ121の出力信号のみがHレベルとなるため、トランスミッションゲート123を介して電圧Vonが画素電極118に印加され続けることとなる。

【0048】その後、走査線112に対する走査信号Giが再びHレベルとなり、トランジスタ116aおよび116bがオン状態となっているときに、Lレベルのデータ信号djがデータ線114aに、Hレベルの信号/

djがデータ線114bにそれぞれ出力されたとする。この場合、インバータ121の出力信号がLレベル、インバータ122の出力信号がHレベルとなるため、トランスミッションゲート124のみがオン状態となり、このトランスミッションゲート124を介して電圧Voffが画素電極118に印加される。

【0049】そして、走査線112に対する走査信号GiがLレベルになると、上述したように、インバータ121および122はそれ以前の出力レベルをそのまま維持し、トランスミッションゲート124を介して電圧Voffが画素電極118に印加され続けることとなる。このように、画素110はメモリを内蔵しているため、画素電極に対する印加電圧がリークによって揮発するといった事態が生じないという利点がある。

【0050】なお、以下では、便宜的に、データ線114aに対してHレベルのデータ信号が、データ線114bに対してLレベルの信号が供給された結果、インバータ121の出力信号がHレベル、インバータ122の出力信号がLレベルで保持された状態を「メモリにHレベルの信号が書込まれた状態」と呼ぶ。これに対し、データ線114aに対してLレベルのデータ信号が、データ線114bに対してHレベルの信号が供給された結果、インバータ121の出力信号がLレベル、インバータ122の出力信号がHレベルで保持された状態を「メモリにLレベルの信号が書込まれた状態」とする。すなわち、データ線駆動回路140からHレベルのデータ信号が出力された場合にはメモリにHレベルの信号が書込まれ、画素電極118には電圧Vonが印加される。一方、データ線駆動回路140からLレベルのデータ信号が出力された場合にはメモリにLレベルの信号が書込まれ、画素電極118には電圧Voffが印加されることとなる。

【0051】さて、本実施形態においては、これらの各画素の画素電極118に印加される電圧VonおよびVoffのレベルが、所定の条件の下で、VL (=0V) およびVHのいずれかに切換わるようになっている。図1において、電圧制御回路160は、これらの電圧VonおよびVoffのレベルを制御するためのものである。具体的には、電圧制御回路160には、電圧VHおよびVL、データ転送期間であることを示すデータ転送信号DT、ならびに交流化駆動信号LCOMが入力される一方、これらの各信号に応じてHレベル (=VH) またはLレベル (=VL=0V) に設定された電圧VonおよびVoffが出力される。ここで、データ転送信号DTは、データ転送期間であるか否かを示す信号であり、タイミング信号生成回路200によって生成されるものであり、具体的には、例えば、スタートパルスDYの立ち上がりと同時に立ち上がるとともに、走査信号Gmの立ち下がりと同時に立ち下がるパルス信号である (図4参照)。

【0052】以下、図4を参照して、電圧制御回路160による制御の結果、電圧 $V_{on}$ および $V_{off}$ のレベルがどのように変化するかを説明する。なお、以下では、サブフィールド内のデータ転送期間内における変化とデータ転送期間が経過した後の期間（以下、「非転送期間」という）内におけるレベルとに分けて説明する。また、以下では、説明の便宜上、電圧 $V_{on}$ および $V_{off}$ のレベルに関しては、 $V_H$ を単にHレベルと呼び、 $V_L$ を単にLレベルと呼ぶ場合がある。

#### a. データ転送期間内

データ転送期間内においては、電圧制御回路160は、画素中のメモリに書込まれた信号に関わらず、画素をオフにする電圧が印加されるように、電圧 $V_{on}$ および $V_{off}$ のレベルを切替える。具体的には、交流化駆動信号 $L_{COM}$ がHレベルであるフィールド内のデータ転送期間においては、電圧 $V_{on}$ 、 $V_{off}$ ともにHレベルとなる一方、交流化駆動信号 $L_{COM}$ がLレベルであるフィールド内のデータ転送期間においては、電圧 $V_{on}$ 、 $V_{off}$ ともにLレベルとなる。すなわち、メモリに書込まれた信号に従って電圧 $V_{on}$ および $V_{off}$ のいずれが画素電極118に印加された場合であっても、交流化駆動信号 $L_{COM}$ と画素電極118に対する印加電圧とのレベル差は0Vとなるため、画素はオフとなる。

#### b. 非転送期間内

データ転送期間経過後、すなわち非転送期間内においては、直前のデータ転送期間において画素中のメモリに書込まれた信号に応じて、画素をオンオフ駆動するための電圧が画素に印加されるように、電圧 $V_{on}$ および $V_{off}$ のレベルが決定される。具体的には、交流化駆動信号 $L_{COM}$ がHレベルであるフィールドにおいては $V_{on}$ をLレベルに、 $V_{off}$ をHレベルにする一方、交流化駆動信号 $L_{COM}$ がLレベルであるフィールドにおいては $V_{on}$ をHレベルに、 $V_{off}$ をLレベルにする。この結果、画素110中のメモリに書込まれた信号がHレベルである場合（すなわち、画素電極118に電圧 $V_{on}$ が印加される場合）には、画素110をオンする電圧が印加され、画素110中のメモリに書込まれた信号がLレベルである場合（すなわち、画素電極118に電圧 $V_{off}$ が印加される場合）には、画素をオフする電圧が印加されることとなる。

【0053】このように、本実施形態では、データ転送期間の間はメモリに書込まれた信号とは無関係に常に画素がオフになる一方、データ転送期間の経過後には、当該データ転送期間においてメモリに書込まれた信号に応じた信号によって画素がオンオフ駆動されるようになっている。

【0054】次に、図1に示すデータ変換回路300は、各サブフィールドにおいて、各画素に対応した上記5ビットの階調データから当該画素のオンオフ駆動を指

示する2値信号 $D_s$ を生成するものである。図5は、サブフィールド番号および階調データと2値信号 $D_s$ との関係を示している。データ変換回路300は、内部のメモリに同図に示すようなテーブルを保持しており、このメモリには、サブフィールド番号と階調データとがアドレスとして与えられるようになっている。この結果、データ変換回路300からは、サブフィールド番号および階調データに応じた2値信号 $D_s$ が出力される。

【0055】ここで、サブフィールド番号は、1フィールド内における各サブフィールドの番号であり、「0」～「5」までのいずれかの値である。このサブフィールド番号を生成する方法に関しては各種考えられるが、例えばスタートパルス $DY$ を計数するとともに、交流化駆動信号 $L_{COM}$ のレベル遷移（立ち上がりおよび立ち下がり）によって当該計数結果がリセットされるカウンタを設け、このカウンタから得られるカウント値をサブフィールド番号として用いてもよい。データ変換回路300は、このようにして得られるサブフィールド番号と階調データとの組み合わせに対応したオンオフデータを2値信号 $D_s$ として出力する。

【0056】ここで、Hレベルの2値信号 $D_s$ は画素内の画素電極118に対して電圧 $V_{on}$ を印加する作用を呈し、Lレベルの2値信号 $D_s$ は画素内の画素電極118に対して電圧 $V_{off}$ を印加する作用を呈することとなる。例えば、データ変換回路300からHレベルの信号 $D_s$ が出力され、この結果いずれかのデータ線114aにHレベルのデータ信号が出力されたとすると、メモリにはHレベルの信号が書込まれるため、画素電極118には電圧 $V_{on}$ が印加されるのである。図5に例示するように、階調データが00000である場合には、全てのサブフィールドにおいてLレベルの2値信号 $D_s$ が出力される。この結果、当該画素の画素電極118には、全てのサブフィールドにおいて電圧 $V_{off}$ が印加されることとなる。また、階調データが00001である場合には、サブフィールド $Sf_0$ および $Sf_1$ においてHレベルの2値信号 $D_s$ が出力される一方、その他のサブフィールドにおいてはLレベルの2値信号 $D_s$ が出力される。この結果、当該画素の画素電極118には、サブフィールド $Sf_0$ および $Sf_1$ において電圧 $V_{on}$ が印加される一方、サブフィールド $Sf_2 \sim Sf_5$ において電圧 $V_{off}$ が印加される。

【0057】なお、図5に示すように、サブフィールド $Sf_0$ では、階調データが00001以上である場合に、階調データとは無関係にHレベルの2値信号 $D_s$ が出力される。これは、上述したように、前掲図6における電圧 $V_{TH1}$ 相当の実効電圧を当該画素に印加するために、データ変換回路300からデータ線駆動回路140に出力されるものである。

【0058】データ変換回路300において生成された2値信号 $D_s$ は、走査線駆動回路130およびデータ線

駆動回路140の動作に同期して出力する必要がある。図1に示すように、データ変換回路300に対して、スタートパルスDYと、水平走査に同期するクロック信号CLYと、水平走査期間の最初を規定するラッチパルスLPと、ドットクロック信号に相当するクロック信号CLXとが供給されるようになっている。

【0059】<動作>次に、上述した実施形態に係る電気光学装置の動作について説明する。図7は、この電気光学装置の動作を示すタイミングチャートである。

【0060】まず、交流化駆動信号LCOMは、1フィールド(1f)毎にレベル反転して、対向電極108に印加される。一方、スタートパルスDYは、各サブフィールドの開始タイミングにおいてタイミング信号生成回路200から出力される。

【0061】ここで、交流化駆動信号LCOMがHレベルとなる1フィールドにおいて、サブフィールドsf0の開始を規定するスタートパルスDYが供給されると、走査線駆動回路130(図1参照)におけるクロック信号CLYに従った転送によって、走査信号G1、G2、G3、…、Gmが順次排他的に出力される。なお、図7に示すように、データ転送期間は、最も短いサブフィールドよりもさらに短い期間に設定されている。

【0062】さて、走査信号G1、G2、G3、…、Gmは、それぞれクロック信号CLYの半周期に相当するパルス幅を有し、また、上から数えて1本目の走査線112に対応する走査信号G1は、スタートパルスDYが供給された後、クロック信号CLYが最初に立ち上がったから、少なくともクロック信号CLYの半周期だけ遅延して出力される。従って、サブフィールドの最初にスタートパルスDYが供給されてから、走査信号G1が出力されるまでに、ラッチパルスLPの1ショット(G0)がデータ線駆動回路140に供給されることとなる。

【0063】そこで、このラッチパルスLPの1ショット(G0)が供給された場合について検討してみる。まず、このラッチパルスLPの1ショット(G0)がデータ線駆動回路140に供給されると、データ線駆動回路140(図2参照)におけるクロック信号CLXに従った転送によって、ラッチ信号S1、S2、S3、…、Snが水平走査期間(1H)に順次排他的に出力される。なお、ラッチ信号S1、S2、S3、…、Snは、それぞれクロック信号CLXの半周期に相当するパルス幅を有している。

【0064】この際、図2における第1のラッチ回路1420は、ラッチ信号S1の立ち下がりにおいて、上から数えて1本目の走査線112と、左から数えて1本目のデータ線114aとの交差に対応する画素110への2値信号Dsをラッチし、次に、ラッチ信号S2の立ち下がりにおいて、上から数えて1本目の走査線112と、左から数えて2本目のデータ線114aとの交差に

対応する画素110への2値信号Dsをラッチし、以下、同様に、上から数えて1本目の走査線112と、左から数えてn本目までの各データ線114aとの各交差に対応する各画素110への2値信号Dsを順次ラッチする。

【0065】これにより、まず、図1において上から1本目の走査線112との交差に対応する画素1行分の2値信号Dsが、第1のラッチ回路1420により点順次的にラッチされることとなる。なお、データ変換回路300は、第1のラッチ回路1420によるラッチのタイミングに合わせて、各画素の階調データを2値信号Dsに変換して出力する。この変換は、前掲図5に示した真理値表に従って実行される。

【0066】次に、クロック信号CLYが立ち下がって、走査信号G1が出力されると、図1において上から数えて1本目の走査線112が選択される結果、当該走査線112との交差に対応する画素110のトランジスタ116がすべてオンとなる。一方、当該クロック信号CLYの立ち下がりによってラッチパルスLPが出力される。そして、このラッチパルスLPの立ち下がりタイミングにおいて、第2のラッチ回路1430は、第1のラッチ回路1420によって点順次的にラッチされた2値信号Dsを、対応するデータ線114aの各々にデータ信号d1、d2、d3、…、dnとして一斉に供給する。この際に、データ線114bの各々にはデータ信号をレベル反転した信号が供給される。この動作により、上から数えて1行目の各画素110内のメモリには、各データ信号の書込みが同時に行われることとなる。

【0067】この書込みと並行して、図1において上から2本目の走査線112との交差に対応する画素1行分の2値信号Dsが、第1のラッチ回路1420により点順次的にラッチされる。

【0068】一方、電圧制御回路160は、前掲図4に例示したように、電圧VonおよびVoffの電圧値を制御する。ここでは、交流化駆動信号LCOMがHレベルの場合を想定しているため、データ転送期間においては、VonおよびVoffともにHレベルに設定するとともに、非転送期間においては、VonをLレベルに、VoffをHレベルにそれぞれ設定する。

【0069】以後同様な動作が、m本目の走査線112に対応する走査信号Gmが出力されるまで繰り返される。すなわち、ある走査信号Gi(iは、 $1 \leq i \leq m$ を満たす整数)が出力される1水平走査期間(1H)においては、i本目の走査線112に対応する画素110の1行分に対するデータ信号d1～dnの書込みと、(i+1)本目の走査線112に対応する画素110の1行分に対する2値信号Dsの点順次的なラッチとが並行して行われることとなる。なお、画素110内のメモリに書込まれたデータ信号は、次のサブフィールドにおいて新たなデータ信号が書込まれるまで保持される。

【0070】さらに、フィールドが切り換わり、交流化駆動信号LCOMがLレベルに反転した場合においても、各サブフィールドにおいて同様な動作が繰り返される。ただし、電圧制御回路160は、前掲図4に示したように、データ転送期間においては電圧Von、VoffともにLレベルに設定するとともに、非転送期間においては電圧VonをHレベルに、VoffをLレベルに設定するように切換わる。

【0071】次に、このような動作が行われる結果、画素110における液晶層に印加される電圧について検討する。図8は、階調データと、画素110における画素電極118への印加波形を示すタイミングチャートである。

【0072】図8に示すように、各サブフィールドにおけるデータ転送期間内(図8において斜線を付した区間)においては、各画素内のメモリに対していずれのレベルのデータ信号が書込まれているかに関わらず、画素をオフする電圧が印加される。例えば、交流化駆動信号LCOMがHレベルであるフィールド内のデータ転送期間においては、電圧制御回路160によって電圧VonおよびVoffともにHレベルに設定されている。従って、当該期間においては、画素内のメモリにいずれのレベルの信号が書込まれている場合であっても(すなわち、画素に対して電圧VonおよびVoffのいずれが印加されている場合であっても)、画素はオフとなる。これに対し、非転送期間においては、電圧制御回路160により、電圧VonはLレベルに、VoffはHレベルに、それぞれ設定されている。従って、画素110内のメモリにHレベルの信号が記憶されている場合(すなわち、画素電極118に電圧Vonが印加されている場合)には画素がオンとなる一方、画素内のメモリにLレベルの信号が記憶されている場合(すなわち、画素電極118に電圧Voffが印加されている場合)には画素がオフとなる。

【0073】例えば、交流化駆動信号LCOMがHレベルであり、ある画素の階調データが00000である場合、図5に示したテーブルに従う結果、当該画素内のメモリには、全てのサブフィールドSf0～Sf5にわたってLレベルの信号が書込まれる。この場合、データ転送期間において画素がオフとなるのはもちろん、非転送期間においても、全てのサブフィールドにおいて、画素電極118には電圧Voff(VH)が印加される。この結果、1フィールドにおいて液晶層に印加される電圧実効値は0Vとなる。従って、当該画素の透過率は、階調データ00000に対応して0%となる。

【0074】また、ある画素の階調データが00001である場合、図5に示したテーブルに従う結果、当該画素内のメモリには、サブフィールドSf0およびSf1においてはHレベルの信号が書込まれる一方、その他のサブフィールドにおいてはLレベルの信号が書込まれ

る。この結果、サブフィールドSf0およびSf1(データ転送期間および非転送期間)においては、画素電極118に対して電圧Vonが印加される。ただし、データ転送期間においては、交流化駆動信号LCOMと画素電極118に印加される電圧Vonとのレベル差は0Vであるため、画素はオフとなる。一方、非転送期間においては、電圧Vonのレベルが反転する(Lレベルとなる)ため、画素電極118には画素をオンとする電圧が印加される。また、サブフィールドSf2～Sf5においては、データ転送期間および非転送期間ともに画素をオフとする電圧が印加される。この結果、階調データ00001に対応した実効電圧が画素に与えられることとなり、その階調データに応じた透過率が得られる。

【0075】さらに、ある画素の階調データが00010であるとき、図5に示したテーブルに従う結果、当該画素内のメモリにはサブフィールドSf0およびSf2においてはHレベルの信号が書込まれる一方、その他のサブフィールドにおいてはLレベルの信号が書込まれる。この結果、サブフィールドSf0およびSf2においては、画素電極118に対して電圧Vonが印加されるが、上述したのと同様の理由により、データ転送期間においては画素がオフとなる一方、非転送期間においては画素がオンとなる。また、サブフィールドSf1およびSf3～Sf5においては画素をオフとする電圧が印加される。この結果、階調データ00010に対応した実効電圧が画素に与えられることとなり、その階調データに応じた透過率が得られる。

【0076】他の階調データが与えられた場合も同様であり、階調データに応じた個数のサブフィールド内の非転送期間において画素がオンとなる結果、その階調データに応じた透過率が得られる。

【0077】次に、交流化駆動信号LCOMがLレベルになると、Hレベルの場合に印加されていた電圧をレベル反転した電圧が画素電極118に印加される。このため、交流化駆動信号LCOMがHレベルの場合に各液晶層に印加された電圧は、交流化駆動信号LCOMがLレベルの場合の印加電圧とは極性を反転したものであって、かつ、その絶対値は等しいものとなる。従って、液晶層に直流成分が印加される事態が回避される結果、液晶の劣化が防止されることになる。

【0078】このような本実施形態に係る電気光学装置によれば、1フィールドが複数のサブフィールドSf0～Sf5に分割され、各サブフィールド毎に、画素にHレベルまたはLレベルが書込まれ、1フィールドにおける電圧実効値が制御される。このため、データ線114aおよび114bに供給されるデータ信号は、HレベルまたはLレベルのみであって、2値的であるため、駆動回路などの周辺回路においては、高精度のD/A変換回路やオペアンプなどのような、アナログ信号を処理するための回路は不要となる。このため、回路構成が大幅に

簡略化されるので、装置全体のコストを低く抑えることが可能となる。

【0079】さらに、データ線114aおよび114bに供給されるデータ信号(djおよび/dj)は2値的であるため、素子特性や配線抵抗などの不均一性に起因する表示ムラが原理的に発生しない。このため、本実施形態に係る電気光学装置によれば、高品位かつ高精細な階調表示が可能となる。

【0080】また、本実施形態においては、複数のサブフィールドの各々において、データ転送期間が経過した後にメモリに書込まれた信号に応じた電圧を画素電極118に印加するようになってい。このため、各サブフィールドにおいて、各画素への電圧の印加に関してデータ転送期間と非転送期間とを区別することなく、各画素に対してデータ信号が供給された直後から当該データ信号に応じた電圧を画素電極に印加する駆動方法(以下、「他の駆動方法」という)と比較して、以下の利点がある。

【0081】図9(a)は、上記他の駆動方法を用いた場合の、各サブフィールドとデータ転送期間および電圧印加期間との関係を示すタイミングチャートである。同図中に「電圧印加期間」として示すように、上記他の駆動方法においては、ある画素に対してデータ信号djが供給されると、直ちに当該データ信号djに応じた電圧が画素電極に印加され、次のサブフィールドにおいて新たなデータ信号dj+1が供給されるまでこの電圧が維持されるようになってい。なお、図9(a)においては、スタートパルスDYが出力された直後(すなわち、データ転送期間の開始直後)にデータ信号が供給される画素を例としているため、サブフィールドの開始直後から電圧が印加されるようになってい。もちろん、例えば1画面の最後にデータ信号が供給される画素(すなわち、データ転送期間の最後にデータ信号が供給される画素)においては、データ転送期間の最後の時点から電圧印加期間が開始することとなる。

【0082】ここで、このような方法において、表示可能な階調数を増加させる場合について検討してみる。

【0083】表示可能な階調数を増加させるためには、画素に印加され得る実効電圧の値の種類(個数)をより多くする必要がある。そして、このためには、画素に対してより小さい実効電圧を与え得るサブフィールドを設けなければならない。別の表現をすれば、画素に電圧が印加される時間がより短い(=小さい電圧実効値を与え得る)サブフィールドを設ける必要があるのである。

【0084】ところが、図9(a)に示す方法の場合、各サブフィールドの時間長をデータ転送期間の時間長よりも短くすることができない。換言すれば、電圧印加期間の時間長をデータ転送期間の時間長よりも短くすることができない。この結果、1つのサブフィールドの時間長を短縮し、電圧印加期間の時間長とデータ転送期間の

時間長とを等しくした場合に印加可能な実効電圧よりも小さい実効電圧を、画素に対して印加することができない。ここで、データ転送期間を短縮することができれば、1つのサブフィールドにおける電圧印加期間をさらに短縮することができるため、階調数を増やすこともできるが、各駆動回路等の性能上、データ転送期間の短縮には限界がある。結局、上述した他の駆動方法においては、画像表示の多階調化に限界があるのである。

【0085】これに対し、本実施形態においては、図9(b)に示すように、データ転送期間の経過後にメモリに書込まれた信号に応じて画素をオンまたはオフするようになってい。なお、図9(b)において「電圧印加期間」とは、メモリに書込まれた信号に応じて画素をオンする電圧またはオフする電圧を印加する期間であり、上記実施形態における「非転送期間」に相当する期間である。

【0086】上述したように、階調数を増加させるためには、画素に対してより小さい電圧実効値を与え得るサブフィールド、すなわち、画素に電圧が印加される時間がより短いサブフィールドを設ける必要がある。ここで、上記他の方法においては、電圧印加期間の時間長をデータ転送期間の時間長よりも短くできないという制約があったが、本実施形態に係る方法によれば、電圧印加期間の時間長をデータ転送期間の時間長の如何に関わらず自由に設定できる。つまり、いかに小さい実効電圧を与え得るサブフィールドをも設けることができるのである。

【0087】以上説明したように、本実施形態に係る方法によれば、データ転送期間の時間長の如何に関わらず、非転送期間、すなわち各画素にデータ信号に応じた電圧が印加される期間を任意に設定することができる。この結果、電圧印加期間(非転送期間)を短縮することにより、画像表示の多階調化を実現することができるという利点がある。換言すれば、多階調表示を行う場合であっても、データ転送期間の短い高性能の駆動回路は必要とならない。

#### 【0088】B：第2実施形態

次に、本発明の第2実施形態について説明する。なお、本実施形態の全体構成は、前掲図1に示した第1実施形態の構成と同様であるため、その説明を省略する。

【0089】上記第1実施形態においては、データ転送期間と非転送期間とで電圧VonおよびVoffのレベルを切換える電圧制御回路160を設け、これにより、データ転送期間においてはメモリにいずれの信号が書込まれている場合であっても画素をオフとする電圧が印加されるようにした。これに対し、本実施形態においては、画素内に設けた回路により、この機能を実現するようになってい。

【0090】図10は、本実施形態に係る電気光学装置における画素110の構成を示す図である。なお、図1

0において、前掲図3に示した各部と共通する部分については図3と同一の符号を付し、その詳細な説明を省略する。

【0091】図10に示すように、本実施形態における画素110には、NANDゲート125が設けられている。このNANDゲート125の一方の入力端子はインバータ121の出力端子に接続されており、メモリに書込まれた信号が入力される。また、NANDゲート125の他方の入力端子にはデータ転送信号DTをレベル反転した信号/DTが入力されるようになっている。NANDゲート125の出力端子には、トランスミッションゲート124およびインバータ126が並列に接続されており、このインバータ126の出力端子にはトランスミッションゲート123が接続されている。

【0092】これらのトランスミッションゲート123および124は、いずれもHレベルのゲート信号が与えられることによりオンになるゲートである。具体的には、トランスミッションゲート124には、上記NANDゲート125の出力信号がゲート信号として供給され、トランスミッションゲート123には、NANDゲート125の出力信号がインバータ126を介してレベル反転された信号がゲート信号として供給される。

【0093】また、上記第1実施形態においては、各サブフィールド内のデータ転送期間と非転送期間との切り換えに応じて、電圧V<sub>on</sub>およびV<sub>off</sub>のレベルを電圧制御回路160によって切換える構成とした。これに対し、本実施形態においては、図11に示すように、電圧V<sub>off</sub>は交流化駆動信号LCOMと同一のレベルとなる一方、電圧V<sub>on</sub>は交流化駆動信号LCOMを反転したレベル信号となるように、電圧制御回路160が動作する。

【0094】次に、図10および図11を参照して、上記画素110内の画素電極118に印加される電圧について説明する。なお、以下では、データ転送期間と非転送期間とに分けて説明する。

#### a. データ転送期間

データ転送期間内においてはデータ転送信号DTがHレベルとなるため、NANDゲート125の一方の入力端子に入力される信号/DTはLレベルとなる(図11参照)。この結果、他方の入力端子(すなわち、インバータ121に接続された入力端子)にいずれのレベルの信号が入力されるかに関わらず、NANDゲート125からはHレベルの信号が出力される。このため、トランスミッションゲート124のみがオンとなるから、画素電極118には電圧V<sub>off</sub>が印加される。ここで、図11に示したように、本実施形態においては電圧V<sub>off</sub>が交流化駆動信号LCOMと同じレベルとなっているから、データ転送期間においては、メモリにいずれのレベルの信号が書込まれているかに関わらず、画素はオフとなる。

#### b. 非転送期間

非転送期間、すなわち、図11中の斜線を付した区間においては、メモリに書込まれた信号に応じて画素電極118に対して電圧V<sub>on</sub>またはV<sub>off</sub>が印加され、画素がオンオフ駆動される。詳述すると、以下の通りである。

【0095】非転送期間においては、データ転送信号DTがLレベルとなるため、NANDゲート125の一方の入力端子に入力される信号/DTはHレベルとなる(図11参照)。この結果、インバータ121の出力信号をレベル反転した信号がNANDゲート125から出力される。具体的には、当該非転送期間の直前のデータ転送期間において、メモリにHレベルの信号が書込まれた場合(すなわち、インバータ121の出力信号がHレベル、インバータ122の出力信号がLレベルに保持されている場合)、NANDゲート125からはLレベルの信号が出力される。この結果、トランスミッションゲート123のみがオンとなるから、画素電極118には電圧V<sub>on</sub>が印加されることとなる。ここで、図11に示したように、電圧V<sub>on</sub>は交流化駆動信号LCOMとは反対のレベルとなっているから、画素はオンとなる。

【0096】一方、メモリにLレベルの信号が書込まれた場合(すなわち、インバータ121の出力信号がLレベル、インバータ122の出力信号がHレベルに保持されている場合)、NANDゲート125からはHレベルの信号が出力される。この結果、トランスミッションゲート124のみがオンとなるから、画素電極118には電圧V<sub>off</sub>が印加されることとなる。上述したように、電圧V<sub>off</sub>は交流化駆動電圧LCOMのレベルと等しくなっているため、画素はオフとなる。

【0097】このように、本実施形態においては、データ転送期間においては画素は常にオフになるとともに、データ転送期間の経過後にメモリに書込まれた信号に応じて画素がオン/オフ駆動されることとなる。この結果、階調データと、当該階調データが与えられたときの画素電極118への印加電圧との関係は、上記第1実施形態において例示した図8と同じになる。

【0098】このように、本実施形態によっても、上記第1実施形態と同様の効果が得られる。また、上記実施形態においては、データ転送期間と非転送期間との切り換えに同期して1フィールド内において何度も電圧V<sub>on</sub>およびV<sub>off</sub>のレベルを切換える必要があったが、本実施形態によれば、1フィールド内においては電圧V<sub>on</sub>およびV<sub>off</sub>のレベルを切換える必要がないため、上記実施形態と比較して消費電力を低く抑えることができるという利点がある。

#### 【0099】C: 変形例

以上この発明の実施形態について説明したが、上記実施形態はあくまでも例示であり、上記実施形態に対しては、本発明の趣旨から逸脱しない範囲で様々な変形を加

えることができる。変形例としては、例えば以下のよう  
なものが考えられる。

#### 【0100】<変形例1>

##### (1) 第1の態様

上記第1実施形態においては、データ転送期間において  
画素を常にオフとするようにしたが、データ転送期間に  
おいて画素を常にオンにするようにしてもよい。以下、  
図12を参照して、この場合の電圧 $V_{on}$ および $V_{off}$   
の変化を説明する。なお、本態様における電圧 $V_{on}$   
および $V_{off}$ のレベル変化の様子は、図12中の  
(a)の部分に示されている。

##### a. データ転送期間内

データ転送期間内においては、電圧制御回路160は、  
画素中のメモリに書込まれた信号に関わらず、画素をオ  
ンにする電圧が印加されるように、電圧 $V_{on}$ および $V_{off}$   
のレベルを切替える。具体的には、交流化駆動信号LCOMがHレベルであるフィールドにおいては、電  
圧 $V_{on}$ 、 $V_{off}$ ともにLレベルにする一方、交流化  
駆動信号LCOMがLレベルであるフィールドにおいて  
は、電圧 $V_{on}$ 、 $V_{off}$ ともにHレベルとする。この  
結果、データ転送期間においては、メモリに書込まれた  
信号に従って電圧 $V_{on}$ および $V_{off}$ のいずれが画素  
電極118に印加された場合であっても、画素はオンと  
なる。

##### b. 非転送期間内

非転送期間内においては、電圧制御回路160は、メモ  
リに書込まれた信号に応じて画素をオンオフ駆動するた  
めの電圧が画素に印加されるように、電圧 $V_{on}$ および  
 $V_{off}$ を切替える。具体的には、交流化駆動信号LCOMがHレベルであるフィールドにおいては電圧 $V_{on}$   
をLレベルに、電圧 $V_{off}$ をHレベルにする一方、交  
流化駆動信号LCOMがLレベルであるフィールドにお  
いては電圧 $V_{on}$ をHレベルに、電圧 $V_{off}$ をLレベ  
ルにする。この結果、画素中のメモリに書込まれた信号  
に応じて画素がオンオフ駆動されることとなる。

【0101】ここで、本態様においては、データ転送期  
間において強制的に画素をオンとするため、1フィール  
ド内の各データ転送期間における電圧実効値が、図6に  
示す電圧 $V_{TH1}$ と同じかそれよりも小さくなるように  
データ転送期間の長さ等を選定する必要がある。ここ  
で、1フィールド内のデータ転送期間における電圧実効  
値が、上記電圧 $V_{TH1}$ と等しくなるように設定した場  
合には、上記第1実施形態におけるサブフィールドSf  
0（電圧 $V_{TH1}$ に相当する実効電圧を画素に与え得る  
だけの時間長に設定されたサブフィールド）を設ける必  
要がなくなる。一方、1フィールド内のデータ転送期間  
における電圧実効値が、上記電圧 $V_{TH1}$ よりも小さく  
なるように設定した場合には、電圧 $V_{TH1}$ と当該電圧  
実効値との差に相当する電圧をサブフィールドSf0に  
おいて画素電極に与えればよいから、サブフィールドS

f0の時間長をより短縮することができる。

#### 【0102】(2) 第2の態様

上記第1実施形態においてはデータ転送期間において画  
素を常にオフとするようにし、上記第1の態様において  
はデータ転送期間において画素を常にオンとするよう  
にしたが、各サブフィールド内のデータ転送期間毎に画  
素をオンまたはオフするようにしてもよい。すなわち、例  
えば、1つのフィールド内において、サブフィールドS  
f0～Sf2内のデータ転送期間においては画素をオン  
とし、サブフィールドSf3～Sf5内のデータ転送期  
間においては画素をオフとするようにしてもよい。この  
場合の電圧 $V_{on}$ および $V_{off}$ のレベル変化の様子を  
図12(b)に示す。

【0103】交流化駆動信号LCOMがHレベルである  
場合、同図に示すように、サブフィールドSf0～Sf  
2内のデータ転送期間においては、電圧 $V_{on}$ 、 $V_{off}$   
ともにLレベルに設定される。従って、サブフィール  
ドSf0～Sf2内のデータ転送期間においては、画素  
内のメモリに書込まれた信号がいずれのレベルであるか  
に関わらず、画素はオンとなる。同様に交流化駆動信号  
LCOMがHレベルである場合、サブフィールドSf3  
～Sf5内のデータ転送期間においては、電圧 $V_{on}$ 、  
 $V_{off}$ ともにHレベルに設定される。従って、サブフ  
ィールドSf3～Sf5内のデータ転送期間において  
は、画素内のメモリに書込まれた信号がいずれのレベル  
であるかに関わらず、画素はオフとなる。一方、交流化  
駆動信号LCOMがLレベルに切替わった場合には、サ  
ブフィールドSf0～Sf2内のデータ転送期間におい  
ては電圧 $V_{on}$ 、 $V_{off}$ ともにHレベルに設定される  
ため、当該期間においては画素がオンとなる一方、サブ  
フィールドSf3～Sf5内のデータ転送期間において  
は電圧 $V_{on}$ 、 $V_{off}$ ともにLレベルに設定されるた  
め、当該期間においては画素がオフとなる。なお、非転  
送期間においてメモリに書込まれた信号に応じて画素が  
オンオフ駆動される点は上記各実施形態と同様である。

【0104】本態様によれば、例えば、データ転送期間  
において画素をオフにするサブフィールドと、データ転  
送期間において画素をオンにするサブフィールドとを適  
当に選択することにより、1フィールドにおけるデー  
タ転送期間における電圧実効値を、上述した電圧 $V_{TH1}$   
と等しい値（またはこれに近い値）となるように調節す  
ることができる。こうした場合には、電圧 $V_{TH1}$ に相  
当する実効電圧を与えるためのサブフィールドSf0  
を、1フィールド内に含ませる必要がなくなる。なお、  
上述した例においては、連続するサブフィールドSf0  
～Sf2、およびサブフィールドSf3～Sf5毎に、  
データ転送期間において画素をオンまたはオフするよう  
にしたが、これに限らず、例えばサブフィールドSf  
0、Sf2およびSf4内のデータ転送期間においては  
画素をオンにし、サブフィールドSf1、Sf3および

S f 5 内のデータ転送期間においては画素をオフにする、というように、データ転送期間内において画素をオンまたはオフとするサブフィールドが連続しないようにしてもよいことはもちろんである。

#### 【0105】(3) 第3の態様

また、上記第2実施形態における画素の構成を図13に示すものに変更すれば、上記第1の態様と同様に、データ転送期間内において常に画素をオンとすることができる。なお、図13に示す各部において、上記第2実施形態において示した図10と共通する各部については同一の符号を付し、その説明を省略する。

【0106】同図に示すように、本変形例における画素110は、前掲図10に示した画素110と比較して、NANDゲート125およびインバータ126の接続の仕方が異なる。具体的には、NANDゲート125の一方の入力端子はインバータ122の出力端子に接続されており、メモリに書込まれた信号が入力される。また、NANDゲート125の他方の入力端子にはデータ転送信号DTをレベル反転した信号／DTが入力されるようになっている。一方、NANDゲート125の出力端子は、トランスミッションゲート123およびインバータ126に接続されている。このインバータ126の出力端子は、トランスミッションゲート124に接続されている。

【0107】次に、本態様における各信号の具体的な変化の様子について説明する。

#### a. データ転送期間

データ転送期間内においてはデータ転送信号DTがHレベルとなるためNANDゲート125の一方の入力端子に入力される信号／DTはLレベルとなる。この結果、他方の入力端子（すなわち、インバータ122に接続された入力端子）にいずれのレベルの信号が入力されるかに関わらず、NANDゲート125からはHレベルの信号が出力される。この結果、トランスミッションゲート123のみがオンとなるから、画素電極118には電圧V<sub>on</sub>が印加される。ここで、電圧V<sub>on</sub>は、交流化駆動信号L<sub>COM</sub>のレベルが反転されたものであるため、データ転送期間においては、メモリにいずれのレベルの信号が書込まれているかに関わらず、画素はオンとなる。

#### b. 非転送期間

非転送期間内においてはデータ転送信号DTがLレベルとなるため、NANDゲート125の一方の入力端子に入力される信号／DTはHレベルとなる。この結果、NANDゲート125からの出力信号は、インバータ122の出力信号をレベル反転した信号となる。具体的には、当該非転送期間の直前のデータ転送期間において、メモリにHレベルの信号が書込まれた場合（すなわち、インバータ121の出力信号がHレベル、インバータ122の出力信号がLレベルに保持されている場合）、NANDゲート125からはHレベルの信号が出力され

る。この結果、トランスミッションゲート123のみがオンとなるから、画素電極118には電圧V<sub>on</sub>が印加されることとなる。ここで、前掲図11に示したように、電圧V<sub>on</sub>は交流化駆動信号L<sub>COM</sub>を反転したレベルであるため、画素はオンとなる。一方、メモリにLレベルの信号が書込まれた場合（すなわち、インバータ121の出力信号がLレベル、インバータ122の出力信号がHレベルに保持されている場合）、NANDゲート125からはLレベルの信号が出力される。この結果、インバータ126を介してHレベルの信号が供給されるトランスミッションゲート124のみがオンとなるから、画素電極118には電圧V<sub>off</sub>が印加されることとなる。電圧V<sub>off</sub>は交流化駆動信号L<sub>COM</sub>と同一のレベルであるから画素はオフとなる。

【0108】このように、本態様においては、データ転送期間においては画素は常にオンとなるとともに、非転送期間においてはメモリに書込まれた信号に応じて画素がオン／オフ駆動されることとなる。なお、1フィールド内のデータ転送期間における電圧実効値については、上記第1の態様に示した条件と同様の条件で設定すればよい。

【0109】上記各実施形態および本変形例に示したように、データ転送期間においては画素をオンするようにしてもオフするようにしてもよい。要は、1つのサブフィールドにおいて、データ転送期間においてはメモリに書込まれた信号とは無関係に画素がオン／オフ駆動される一方、データ転送期間が経過した後はじめて、当該データ転送期間においてメモリに書込まれた信号に応じた電圧が画素に対して印加されるようにすれば、上記第1実施形態において示した効果を得ることができる。

【0110】＜変形例2＞上記各実施形態においては、各サブフィールドにおいて画素に印加される実効電圧に対して各々異なる重み付けをしたため、各サブフィールドの時間長は異なるものであったが、各サブフィールドの時間長はこれに限られるものではない。例えば1フィールドを32個のサブフィールドSf0～Sf31に分割し、サブフィールドSf0（電圧V<sub>TH1</sub>に相当する電圧実効値を印加するためのサブフィールド）以外のサブフィールドSf1～Sf31の時間長を同じにしてもよい。図14は、この場合のサブフィールド番号および階調データと、2値信号Dsとの関係を例示するテーブルである。データ変換回路300は、同図に示すテーブルに従って、階調データに応じた2値信号Dsを出力し、データ線駆動回路140は、この2値信号をデータ信号として各画素に供給する。そして、各サブフィールドにおいてデータ転送期間内は画素をオフにし（上記変形例1に示したようにオンとしてもよい）、データ転送期間経過後にメモリに書込まれた信号に従って画素をオン／オフ駆動するようにすればよい。このようにしても、上記各実施形態と同様の効果を得ることができる。

【0111】＜液晶装置の全体構成＞次に、上述した実施形態や応用形態に係る電気光学装置の構造について、図15および図16を参照して説明する。ここで、図15は、電気光学装置100の構成を示す平面図であり、図16は、図15におけるA-A'線の断面図である。

【0112】これらの図に示されるように、電気光学装置100は、画素電極118などが形成された素子基板101と、対向電極108などが形成された対向基板102とが、互いにシール材104によって一定の間隙を保って貼り合わせられるとともに、この間隙に電気光学材料としての液晶105が挟持された構造となっている。なお、実際には、シール材104には切欠部分があって、ここを介して液晶105が封入された後、封止材により封止されるが、これらの図においては省略されている。

【0113】ここで、素子基板101は、上述したように半導体基板であるため不透明である。このため、画素電極118は、アルミニウムなどの反射性金属から形成されて、電気光学装置100は、反射型として用いられることになる。これに対して、対向基板102は、ガラスなどから構成されるので透明である。

【0114】さて、素子基板101において、シール材104の内側かつ表示領域101aの外側領域には、遮光膜106が設けられている。この遮光膜106が形成される領域内のうち、領域130aには走査線駆動回路130が形成され、また、領域140aにはデータ線駆動回路140が形成されている。すなわち、遮光膜106は、この領域に形成される駆動回路に光が入射するのを防止している。この遮光膜106には、対向電極108とともに、交流化駆動信号LCOMが印加される構成となっている。このため、遮光膜106が形成された領域では、液晶層への印加電圧がほぼゼロとなるので、画素電極118の電圧無印加状態と同じ表示状態となる。

【0115】また、素子基板101において、データ線駆動回路140が形成される領域140a外側であって、シール材104を隔てた領域107には、複数の接続端子が形成されて、外部からの制御信号や電源などを入力する構成となっている。

【0116】一方、対向基板102の対向電極108は、基板貼合部分における4隅のうち、少なくとも1箇所において設けられた導通材（図示省略）によって、素子基板101における遮光膜106および接続端子と電気的な導通が図られている。すなわち、交流化駆動信号LCOMは、素子基板101に設けられた接続端子を介して、遮光膜106に、さらに、導通材を介して対向電極108に、それぞれ印加される構成となっている。

【0117】ほかに、対向基板102には、電気光学装置100の用途に応じて、例えば、直視型であれば、第1に、ストライプ状や、モザイク状、トライアングル状等に配列したカラーフィルタが設けられ、第2に、例え

ば、金属材料や樹脂などからなる遮光膜（ブラックマトリクス）が設けられる。なお、色光変調の用途の場合には、例えば、後述するプロジェクタのライトバルブとして用いる場合には、カラーフィルタは形成されない。また、直視型の場合、電気光学装置100に光を対向基板102側から照射するフロントライトが必要に応じて設けられる。くわえて、素子基板101および対向基板102の電極形成面には、それぞれ所定方向にラビング処理された配向膜（図示省略）などが設けられて、電圧無印加状態における液晶分子の配向方向を規定する一方、対向基板101の側には、配向方向に応じた偏光子（図示省略）が設けられる。ただし、液晶105として、高分子中に微小粒として分散させた高分子分散型液晶を用いれば、前述の配向膜や偏光子などが不要となる結果、光利用効率が高まるので、高輝度化や低消費電力化などの点において有利である。

【0118】＜その他＞また、実施形態においては、電気光学装置を構成する素子基板101を半導体基板とし、ここに、画素電極118に接続されるトランジスタ116や、駆動回路の構成素子などを、MOS型FETで形成したが、本発明は、これに限られない。例えば、素子基板101を、ガラスや石英などの非晶質基板とし、ここに半導体薄膜を堆積してTFTを形成する構成としても良い。このようにTFTを用いると、素子基板101として透明基板を用いることができる。

【0119】さらに、電気光学材料としては、液晶のほかに、エレクトロルミネッセンス素子（EL）などを用いて、その電気光学効果により表示を行う装置に適用可能である。すなわち、本発明は、上述した構成と類似の構成を有する電気光学装置、特に、オンまたはオフの2値的な表示を行う画素を用いて、階調表示を行う電気光学装置のすべてに適用可能である。なお、上記各実施形態において示したように電気光学材料として液晶を用いた場合には、交流化駆動信号LCOMを1フィールド毎にレベル反転し、液晶層に直流成分が印加される事態を回避するようにしたが、電気光学材料として上述したエレクトロルミネッセンス素子を用いた場合には、このように交流駆動する必要はない。

【0120】＜電子機器＞次に、上述した液晶装置を具体的な電子機器に用いた例のいくつかについて説明する。

【0121】＜その1：プロジェクタ＞まず、実施形態に係る電気光学装置をライトバルブとして用いたプロジェクタについて説明する。図17は、このプロジェクタの構成を示す平面図である。この図に示されるように、プロジェクタ1100内部には、偏光照明装置1110がシステム光軸PLに沿って配置されている。この偏光照明装置1110において、ランプ1112からの出射光は、リフレクタ1114による反射で略平行な光束となって、第1のインテグレートレンズ1120に入射す

る。これにより、ランプ1112からの出射光は、複数の中間光束に分割される。この分割された中間光束は、第2のインテグレートレンズを光入射側に有する偏光変換素子1130によって、偏光方向がほぼ揃った種類の偏光光束（s偏光光束）に変換されて、偏光照明装置1110から出射されることとなる。

【0122】さて、偏光照明装置1110から出射されたs偏光光束は、偏光ビームスプリッタ1140のs偏光光束反射面1141によって反射される。この反射光束のうち、青色光（B）の光束がダイクロイックミラー1151の青色光反射層にて反射され、反射型の電気光学装置100Bによって変調される。また、ダイクロイックミラー1151の青色光反射層を透過した光束のうち、赤色光（R）の光束は、ダイクロイックミラー1152の赤色光反射層にて反射され、反射型の液電気光学装置100Rによって変調される。一方、ダイクロイックミラー1151の青色光反射層を透過した光束のうち、緑色光（G）の光束は、ダイクロイックミラー1152の赤色光反射層を透過して、反射型の電気光学装置100Gによって変調される。

【0123】このようにして、電気光学装置100R、100G、100Bによってそれぞれ色光変調された赤色、緑色、青色の光は、ダイクロイックミラー1152、1151、偏光ビームスプリッタ1140によって順次合成された後、投写光学系1160によって、スクリーン1170に投写されることとなる。なお、電気光学装置100R、100Bおよび100Gには、ダイクロイックミラー1151、1152によって、R、G、Bの各原色に対応する光束が入射するので、カラーフィルタは必要ない。

【0124】＜その2：モバイル型コンピュータ＞次に、上記電気光学装置を、モバイル型のパーソナルコンピュータに適用した例について説明する。図18は、このパーソナルコンピュータの構成を示す斜視図である。図において、コンピュータ1200は、キーボード1202を備えた本体部1204と、表示ユニット1206とから構成されている。この表示ユニット1206は、先に述べた電気光学装置100の前面にフロントライトを付加することにより構成されている。

【0125】なお、この構成では、電気光学装置100を反射直視型として用いることになるので、画素電極118において、反射光が様々な方向に散乱するように、凹凸が形成される構成が望ましい。

【0126】＜その3：携帯電話機＞さらに、上記電気光学装置を、携帯電話機に適用した例について説明する。図19は、この携帯電話機の構成を示す斜視図である。図において、携帯電話機1300は、複数の操作ボタン1302のほか、受話口1304、送話口1306とともに、電気光学装置100を備えるものである。この電気光学装置100にも、必要に応じてその前面にフ

ロントライトが設けられる。また、この構成でも、電気光学装置100が反射直視型として用いられることになるので、画素電極118に凹凸が形成される構成が望ましい。

【0127】なお、電子機器としては、図17～図19を参照して説明した他にも、液晶テレビや、ビューファインダ型、モニタ直視型のビデオテープレコーダ、カーナビゲーション装置、ページャ、電子手帳、電卓、ワードプロセッサ、ワークステーション、テレビ電話、POS端末、タッチパネルを備えた機器等などが挙げられる。そして、これらの各種電子機器に対して、実施形態や応用形態に係る電気光学装置が適用可能なのは言うまでもない。

【0128】

【発明の効果】以上説明したように、本発明によれば、データ線に印加される信号が2値化されているため、高品位な階調表示が可能となる。また、データ転送期間が経過した後に、画素内のメモリに書込まれた信号に応じて画素をオンまたはオフにする電圧を印加するようになっているため、データ転送期間の如何に関わらず、電圧印加期間を任意に設定することができる。従って、表示画像の多階調化を容易に実現することができるという利点がある。

【図面の簡単な説明】

【図1】 本発明の実施形態に係る電気光学装置の電気的な構成を示すブロック図である。

【図2】 同電気光学装置におけるデータ線駆動回路の構成を示すブロック図である。

【図3】 同電気光学装置における画素の構成を示すブロック図である。

【図4】 同電気光学装置における電圧 $V_{on}$ および $V_{off}$ のレベルを示す図である。

【図5】 同電気光学装置におけるデータ変換回路の機能を示す真理値表である。

【図6】 同電気光学装置における電圧-透過率特性を示す図である。

【図7】 同電気光学装置の動作を示すタイミングチャートである。

【図8】 同電気光学装置において対向基板に印加される電圧、および画素電極に印加される電圧を、フィールド単位で示すタイミングチャートである。

【図9】 同電気光学装置における効果を説明するための図である。

【図10】 本発明の他の実施形態に係る電気光学装置における画素の構成を示すブロック図である。

【図11】 同電気光学装置における電圧 $V_{on}$ および $V_{off}$ のレベルの変化を説明するためのタイミングチャートである。

【図12】 本発明の変形例における電圧 $V_{on}$ および $V_{off}$ のレベルの変化を説明するためのタイミングチ

ャートである。

【図13】 本発明の変形例における画素の構成を示すブロック図である。

【図14】 本発明の変形例におけるデータ変換回路の機能を示す真理値表である。

【図15】 同電気光学装置の構造を示す平面図である。

【図16】 同電気光学装置の構造を示す断面図である。

【図17】 同電気光学装置を適用した電子機器の一例たるプロジェクタの構成を示す断面図である。

【図18】 同電気光学装置を適用した電子機器の一例たるパーソナルコンピュータの構成を示す斜視図である。

【図19】 同電気光学装置を適用した電子機器の一例たる携帯電話機の構成を示す斜視図である。

【符号の説明】

100……電気光学装置

101……素子基板

101a……表示領域

102……対向基板

105……液晶（電気光学材料）

108……対向電極

112……走査線

114a, 114b……データ線

116a, 116b……トランジスタ

118……画素電極

130……走査線駆動回路

140……データ線駆動回路

1410……Xシフトレジスタ

1420……第1のラッチ回路

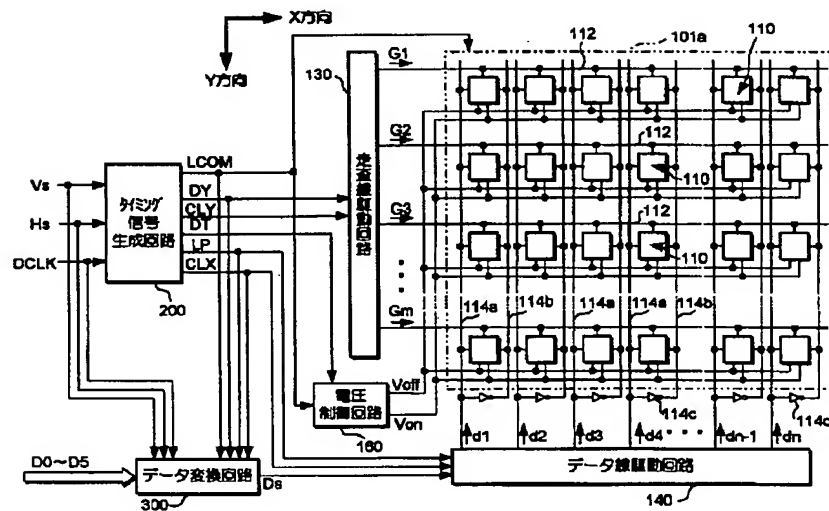
1430……第2のラッチ回路

160……電圧制御回路

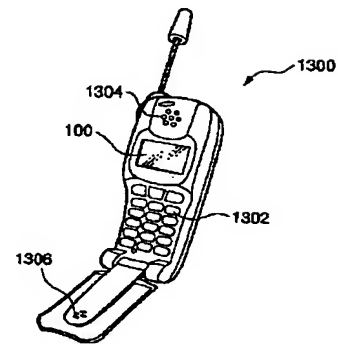
200……タイミング信号生成回路

300……データ変換回路

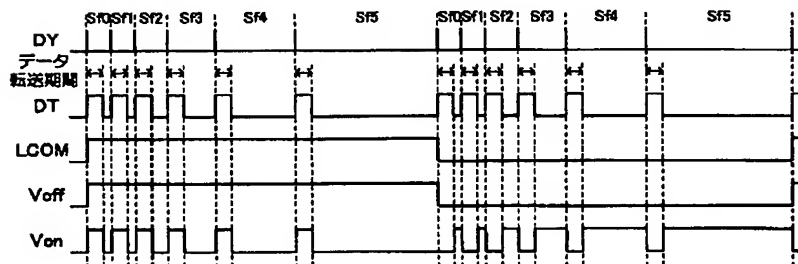
【図1】



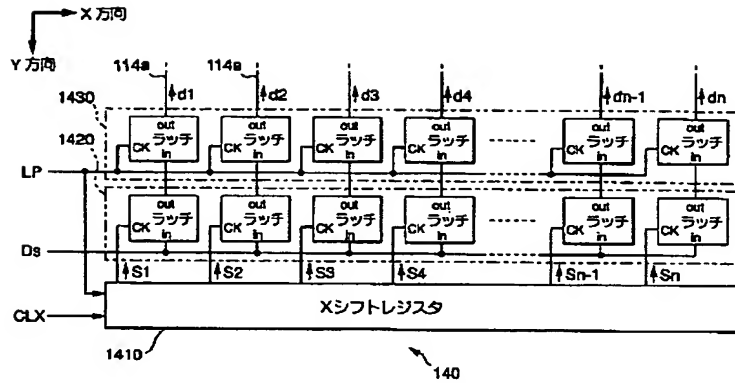
【図19】



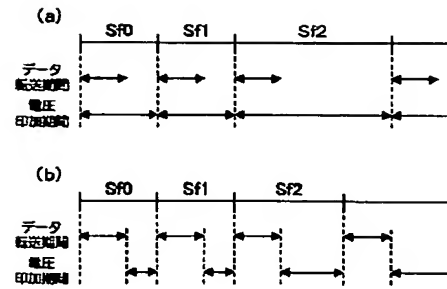
【図4】



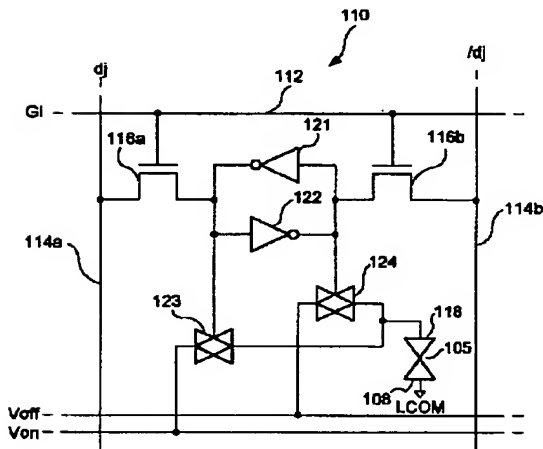
【図2】



【図9】



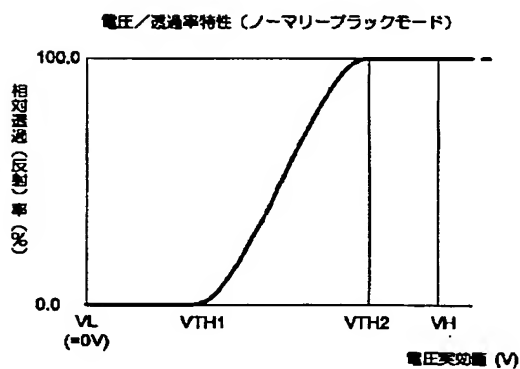
【図3】



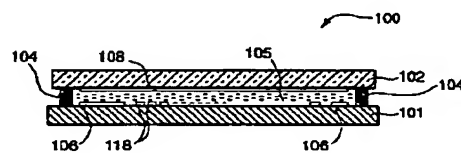
【図5】

表示データ	Sf0	Sf1	Sf2	Sf3	Sf4	Sf5
00000	L	L	L	L	L	L
00001	H	H	L	L	L	L
00010	H	L	H	L	L	L
00011	H	H	H	L	L	L
00100	H	L	L	H	L	L
00101	H	H	L	H	L	L
00110	H	L	H	H	L	L
00111	H	H	H	H	L	L
01000	H	L	L	L	H	L
01001	H	H	L	L	H	L
01010	H	L	H	L	H	L
01011	H	H	H	L	H	L
01100	H	L	L	H	H	L
01101	H	H	L	H	H	L
01110	H	L	H	H	H	L
01111	H	H	H	H	H	L
10000	H	L	L	L	L	H
10001	H	H	L	L	L	H
10010	H	L	H	L	L	H
10011	H	H	H	L	L	H
10100	H	L	L	H	L	H
10101	H	H	L	H	L	H
10110	H	L	H	H	L	H
10111	H	H	H	H	L	H
11000	H	L	L	L	H	H
11001	H	H	L	L	H	H
11010	H	L	H	L	H	H
11011	H	H	H	L	H	H
11100	H	L	L	H	H	H
11101	H	H	L	H	H	H
11110	H	L	H	H	H	H
11111	H	H	H	H	H	H

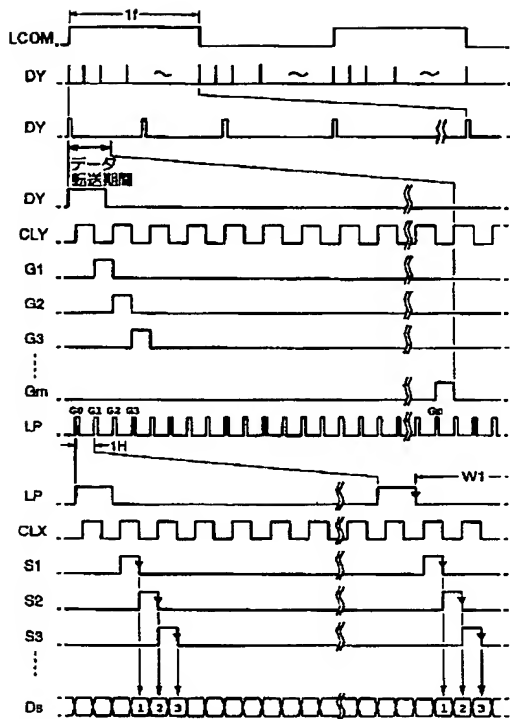
【図6】



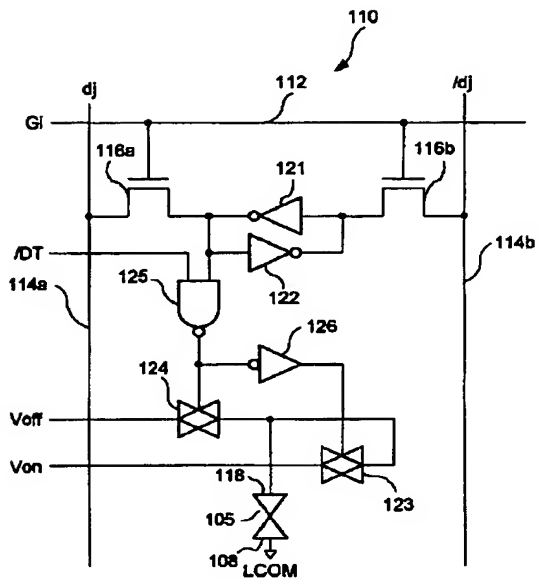
【図16】



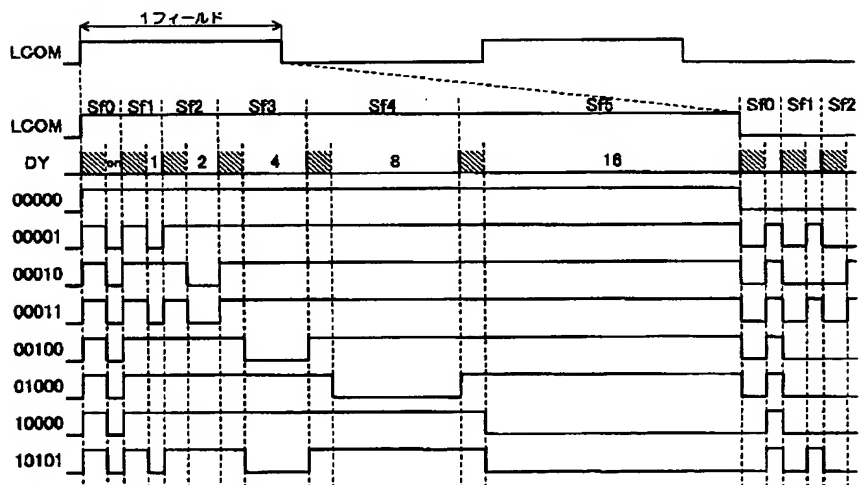
【図7】



【図10】

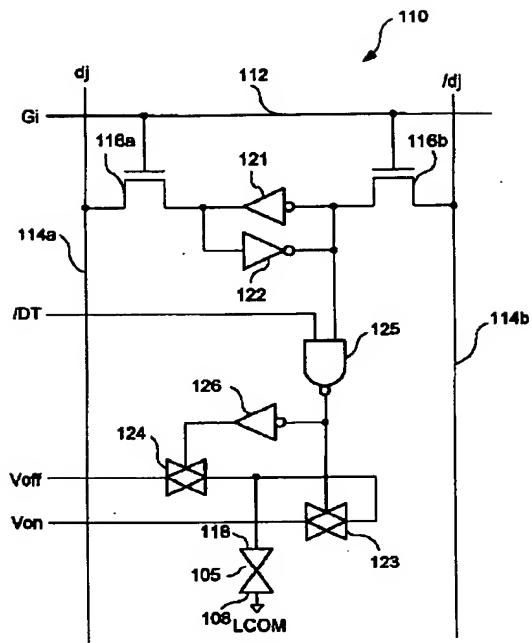


【図8】

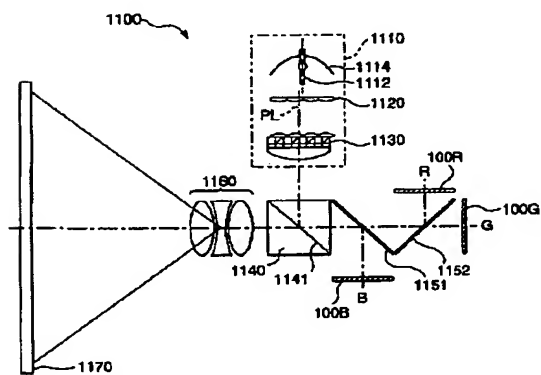


[illegible]

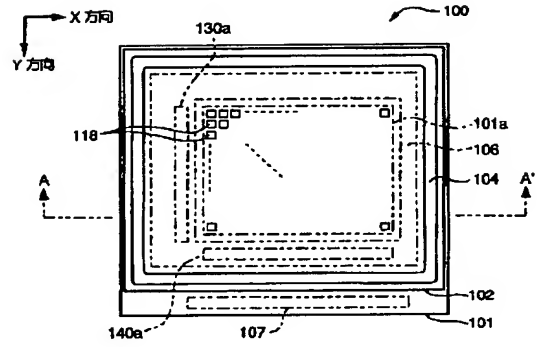
【图 13】



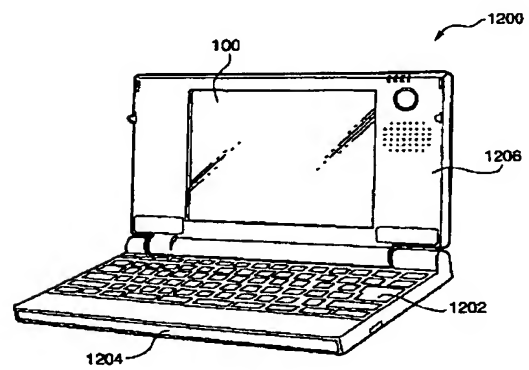
【図17】



【図15】



【図18】



フロントページの続き

Fターム(参考) 2H093 NA16 NA31 NA55 NA56 NC22  
NC31 NC34 NC40 NC49 ND06  
ND15 ND39 NG01 NG02  
5C006 AA01 AA02 AA03 AA22 AB05  
AC02 AC24 AC28 AF44 AF51  
BB16 BC03 BC06 BC12 BF03  
BF04 BF24 BF26 BF27 EC01  
EC05 EC11 EC13 FA56  
5C080 AA10 BB05 CC01 CC03 DD30  
EE29 FF09 GG05 GG08 GG12  
JJ01 JJ02 JJ03 JJ04 JJ05  
JJ06 KK02 KK07 KK43

## \* NOTICES \*

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

**CLAIMS**


---

## [Claim(s)]

[Claim 1] Receive the gradation data of each pixel for one screen for every field, and these gradation data are followed. In each of two or more subfields which are the drive methods of electro-optics equipment of performing the on-off drive of two or more pixels respectively equipped with memory, and divided the 1 field According to the aforementioned gradation data, generate the data signal which directs impression of the voltage which makes each pixel the voltage or OFF turned ON one by one, and it writes in the memory of each pixel. The drive method of the electro-optics equipment characterized by impressing voltage according to the data signal concerned to each pixel at least after progress of the data transfer period which is a period when the writing of the aforementioned data signal is performed to the memory of all pixels.

[Claim 2] The drive method of the electro-optics equipment according to claim 1 characterized by impressing either of the voltage which turns OFF the voltage which turns ON a pixel, or a pixel regardless of the data signal written in the memory of each pixel during the data transfer period in each subfield to each pixel.

[Claim 3] each of two or more subfields which are the drive circuits of the electro-optics equipment which drives two or more pixels which received the gradation data of each pixel for one screen for every field, were arranged corresponding to each intersection with two or more data lines and two or more scanning lines according to these gradation data, and were equipped with each memory characterized by providing the following, and divided the 1 field The scanning-line drive circuit which supplies the scanning signal which enables voltage impression to a pixel from the data line one by one to each of the aforementioned scanning line. The data-line drive circuit which supplies the data signal concerned to each data line to write in the memory in each pixel while generating the data signal which directs the impression of voltage carried out to the voltage which turns ON a pixel, or OFF in each of two or more aforementioned subfields one by one according to the aforementioned gradation data and supplying the aforementioned scanning signal. The armature-voltage control circuit which controls the voltage impressed to each pixel so that the on-off drive of the pixel is carried out at least in each of two or more aforementioned subfields according to the data signal written in the memory of each aforementioned pixel after progress of the data transfer period which is a period when the writing of the aforementioned data signal is performed to the memory of all pixels.

[Claim 4] The aforementioned armature-voltage control circuit is a drive circuit of the electro-optics equipment according to claim 3 characterized by a pixel controlling ON or the voltage impressed to each pixel to become off regardless of the data signal written in the memory of each pixel during the data transfer period in each subfield.

[Claim 5] each of two or more subfields which are electro-optics equipment which is characterized by providing the following, and which has two or more pixels which were arranged corresponding to each intersection with two or more scanning lines and two or more data lines, and were equipped with each memory, and divided the 1 field The scanning-line drive circuit which supplies the scanning signal which enables voltage impression to a pixel from the data line one by one to each of the aforementioned scanning line. The data-line drive circuit which supplies the data signal concerned to each data line to write in the memory in each pixel while generating the data signal which directs the impression of voltage carried out to the voltage which turns ON a pixel, or OFF in each of two or more aforementioned subfields one by one according to the aforementioned gradation data and supplying the aforementioned scanning signal. The armature-voltage control circuit which controls the voltage impressed to each pixel so that the on-off drive of the pixel is carried out at least in each of the aforementioned subfield according to the data signal written in the memory of each aforementioned pixel after progress of the data transfer period which is a period when the writing of the aforementioned data signal is performed to the memory of all pixels.

[Claim 6] The aforementioned armature-voltage control circuit is electro-optics equipment according to claim 5 characterized by a pixel controlling ON or the voltage impressed to each pixel to become off regardless of the data signal written in the memory of each pixel during the data transfer period in each subfield.

[Claim 7] each of two or more subfields which are electro-optics equipment which is characterized by providing the following, and which has two or more pixels arranged corresponding to each intersection with two or more scanning lines and two or more data lines, and divided the 1 field The scanning-line drive circuit which supplies the scanning signal which enables voltage impression to a pixel from the data line one by one to each of the aforementioned scanning line. Providing the data-line drive circuit which supplies the data signal concerned to each data line while generating the data signal which directs the impression of voltage carried out to the voltage which turns ON a pixel, or OFF in each of two or more aforementioned subfields one by one according to the aforementioned gradation data and supplying the aforementioned scanning signal, each aforementioned pixel is a pixel electrode. The counterelectrode which countered the aforementioned pixel electrode. In each of the opto electronics material pinched by the aforementioned pixel electrode and the counterelectrode, the memory which memorizes the data signal supplied through the aforementioned data line by giving a scanning signal through the aforementioned scanning line, and two or more aforementioned subfields The selection circuitry which chooses one side of two kinds of voltage according to the data signal written in the aforementioned memory after progress of the data transfer period which is a period when the writing of the aforementioned data signal is performed to the memory of all pixels, and is impressed to the aforementioned pixel electrode at least.

[Claim 8] The selection circuitry of the aforementioned pixel is electro-optics equipment according to claim 7 characterized by choosing one side of two kinds of voltage regardless of the data signal written in the aforementioned memory during the data transfer period in each subfield, and being impressed by the aforementioned pixel electrode.

[Claim 9] Electronic equipment characterized by equipping any 1 claim of claims 5-8 with the electro-optics equipment of a publication as display.

---

[Translation done.]

## \* NOTICES \*

Japan Patent Office is not responsible for any  
damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

## DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[The technical field to which invention belongs] this invention relates to electronic equipment at the drive method, drive circuit, and electro-optics equipment row of the electro-optics equipment which performs a gradation display control by PDM.

[0002]

[Description of the Prior Art] Electro-optics equipment, for example, the liquid crystal display using liquid crystal as an opto electronics material, is widely used for a display, a liquid crystal television, etc. of various information management systems as a display device which changes to a cathode-ray tube (CRT).

[0003] Here, conventional electro-optics equipment is constituted as follows, for example. That is, conventional electro-optics equipment consists of opto-electronics-material slack liquid crystal with which it filled up between the pixel electrode arranged in the shape of a matrix, the element substrate in which a switching element like TFT (Thin Film Transistor : TFT) connected to this pixel electrode etc. was formed, the opposite substrate in which the counterelectrode which counters a pixel electrode was formed, and both [ these ] substrates. And in such composition, if a scanning signal is impressed to a switching element through the scanning line, the switching element concerned will be in switch-on. If the picture signal of the voltage according to gradation is impressed to a pixel electrode through the data line in the case of this switch-on, the charge according to the voltage of a picture signal will be accumulated at the liquid crystal layer between the pixel electrode concerned and a counterelectrode. Accumulation of a charge [ in / the liquid crystal layer concerned / considering the switching element concerned as an OFF state ] is maintained by the own capacitive, own storage capacitance, etc. of a liquid crystal layer after a charge storage. Thus, each switching element is made to drive, and if the amount of charges to store up is controlled according to gradation, since the orientation state of liquid crystal will change for every pixel, concentration will change for every pixel. For this reason, it becomes possible to indicate by gradation.

[0004] Under the present circumstances, since some periods are sufficient as storing up a charge in the liquid crystal layer of each pixel, while choosing each scanning line as the 1st one by one by the scanning-line drive circuit By composition which samples the picture signal of the voltage according to gradation to the data line which chose the data line one by one and was chosen [ 2nd ] as the 3rd by the data-line drive circuit in the selection period of the scanning line The time-division-multiplex drive which communalized the scanning line and the data line about two or more pixels is attained.

[0005]

[Problem(s) to be Solved by the Invention] However, the picture signal impressed to the data line is the voltage corresponding to gradation, i.e., an analog signal. For this reason, since a D/A-conversion circuit, an operational amplifier, etc. are needed, the cost quantity of the whole equipment will be invited to the circumference circuit of electro-optics equipment. Furthermore, since it originates in properties, such as these D/A-conversion circuits and an operational amplifier, and heterogeneity, such as various kinds of wiring resistance, and display nonuniformity occurs, there is a problem that a quality display is very difficult, and it becomes remarkable when performing a high definition display especially.

[0006] The place which this invention is made in view of the situation mentioned above, and is made into the purpose is to offer the electro-optics equipment in which a quality and high definition gradation display is possible, its drive method, its drive circuit, and electronic equipment using this electro-optics equipment further.

[0007]

[Means for Solving the Problem] In order to attain the above-mentioned purpose, the 1st invention receives the gradation data of each pixel for one screen for every field. In each of two or more subfields which are the drive

methods of electro-optics equipment of performing the on-off drive of two or more pixels respectively equipped with memory according to these gradation data, and divided the 1 field According to the aforementioned gradation data, generate the data signal which directs impression of the voltage which makes each pixel the voltage or OFF turned ON one by one, and it writes in the memory of each pixel. The drive method of the electro-optics equipment characterized by impressing voltage according to the data signal concerned to each pixel at least after progress of the data transfer period which is a period when the writing of the aforementioned data signal is performed to the memory of all pixels is offered.

[0008] As a result of carrying out PDM of the impression time of the voltage which turns ON (or OFF) a pixel in the 1 field according to the gradation of the pixel concerned according to this invention, the gradation display by actual-value control will be performed. Under the present circumstances, in each subfield, since what is necessary is just to direct ON or OFF of a pixel, a binary signal (namely, H level, L level, or the digital signal that cannot be taken) can be used as an indication signal to a pixel. Therefore, in this invention, since the impression signal to a pixel turns into a digital signal, as a result of stopping the display nonuniformity resulting from heterogeneity, such as an element property and wiring resistance, a quality and high definition gradation display is attained.

[0009] In addition, in this invention, it uses in implications called the period taken to form the raster picture of one sheet in a horizontal scanning signal and a vertical-scanning signal a horizontal scanning and by carrying out a vertical scanning synchronizing with the 1 field.

[0010] Moreover, according to this invention, after a data transfer period passes at least, either of the voltage which turns OFF the voltage which turns ON a pixel according to the data signal written in the memory in a pixel, or a pixel is impressed to each pixel. For this reason, since the period which carries out the on-off drive of the pixel according to a data signal can be set up regardless of the length of a data transfer period, the image display of high gradation becomes possible.

[0011] In addition, in this invention, a data transfer period means a period until each data signal is written in to the memory which is all the pixels for one screen, after the writing to one pixel of the aforementioned data signals is started.

[0012] In one mode of this 1st invention, either of the voltage which turns OFF the voltage which turns ON a pixel, or a pixel regardless of the data signal written in the memory of each pixel during the data transfer period in each subfield is impressed to each pixel.

[0013] The 2nd invention receives the gradation data of each pixel for one screen for every field. According to these gradation data, it is arranged corresponding to each intersection with two or more data lines and two or more scanning lines. In each of two or more subfields which are the drive circuits of the electro-optics equipment which drives two or more pixels respectively equipped with memory, and divided the 1 field In each of the scanning-line drive circuit which supplies the scanning signal which enables voltage impression to a pixel from the data line one by one to each of the aforementioned scanning line, and two or more aforementioned subfields The data signal which directs impression of the voltage which makes a pixel the voltage or OFF turned ON is generated one by one according to the aforementioned gradation data. In each of the data-line drive circuit which supplies the data signal concerned to each data line to write in the memory in each pixel while the aforementioned scanning signal is supplied, and two or more aforementioned subfields So that the on-off drive of the pixel may be carried out at least according to the data signal written in the memory of each aforementioned pixel after progress of the data transfer period which is a period when the writing of the aforementioned data signal is performed to the memory of all pixels The drive circuit of the electro-optics equipment characterized by providing the armature-voltage control circuit which controls the voltage impressed to each pixel is offered.

[0014] This 2nd invention embodies the 1st above-mentioned invention as a drive circuit of electro-optics equipment, and does so the same effect as the 1st above-mentioned invention.

[0015] In one mode of this 2nd invention, a pixel controls ON or the voltage impressed to each pixel regardless of the data signal written in the memory of each pixel to become off during a data transfer period [ in / each subfield / in the aforementioned armature-voltage control circuit ].

[0016] In each of two or more subfields which are electro-optics equipment which has two or more pixels which the 3rd invention was arranged corresponding to each intersection with two or more scanning lines and two or more data lines, and were respectively equipped with memory, and divided the 1 field In each of the scanning-line drive circuit which supplies the scanning signal which enables voltage impression to a pixel from the data line one by one to each of the aforementioned scanning line, and two or more aforementioned subfields The data signal which directs impression of the voltage which makes a pixel the voltage or OFF turned ON is generated one by one according to the aforementioned gradation data. In the data-line drive circuit which supplies the data signal concerned to each data line to write in the memory in each pixel while the aforementioned scanning signal is supplied, and each of the

aforementioned subfield So that the on-off drive of the pixel may be carried out at least according to the data signal written in the memory of each aforementioned pixel after progress of the data transfer period which is a period when the writing of the aforementioned data signal is performed to the memory of all pixels The electro-optics equipment characterized by providing the armature-voltage control circuit which controls the voltage impressed to each pixel is offered.

[0017] This 3rd invention embodies the 1st above-mentioned invention as electro-optics equipment, and does so the same effect as the 1st above-mentioned invention.

[0018] In one mode of this 3rd invention, a pixel controls ON or the voltage impressed to each pixel regardless of the data signal written in the memory of each pixel to become off during a data transfer period [ in / each subfield / in the aforementioned armature-voltage control circuit ].

[0019] In each of two or more subfields which are electro-optics equipment which has two or more pixels which the 4th invention was arranged corresponding to each intersection with two or more scanning lines and two or more data lines, and were respectively equipped with memory, and divided the 1 field In each of the scanning-line drive circuit which supplies the scanning signal which enables voltage impression to a pixel from the data line one by one to each of the aforementioned scanning line, and two or more aforementioned subfields The data signal which directs impression of the voltage which makes a pixel the voltage or OFF turned ON is generated one by one according to the aforementioned gradation data. While the aforementioned scanning signal is supplied, the data-line drive circuit which supplies the data signal concerned to each data line is provided. each aforementioned pixel The opto electronics material pinched by the pixel electrode, the counterelectrode which countered the aforementioned pixel electrode, and the aforementioned pixel electrode and a counterelectrode, In each of the memory which memorizes the data signal supplied through the aforementioned data line by giving a scanning signal through the aforementioned scanning line, and two or more aforementioned subfields At least after progress of the data transfer period which is a period when the writing of the aforementioned data signal is performed to the memory of all pixels The electro-optics equipment characterized by having the selection circuitry which chooses one side of two kinds of voltage according to the data signal written in the aforementioned memory, and is impressed to the aforementioned pixel electrode is offered.

[0020] This 4th invention also embodies the 1st above-mentioned invention as electro-optics equipment, and does so the same effect as the 1st above-mentioned invention.

[0021] In one mode of this 4th invention, during the data transfer period in each subfield, the selection circuitry of the aforementioned pixel chooses one side of two kinds of voltage regardless of the data signal written in the aforementioned memory, and impresses it to the aforementioned pixel electrode.

[0022] This invention manufactures or manufactures above-mentioned electro-optics equipment itself alone, and also can be carried out in the mode of manufacturing or selling it, using this electro-optics equipment as the electrical machinery and apparatus which it had as display.

[0023]  
[Embodiments of the Invention] Hereafter, 1 operation gestalt of this invention is explained with reference to a drawing.

[0024] <the drive method of the electro-optics equipment in this operation gestalt> -- in order to make easy first an understanding of the equipment concerning this operation gestalt, the drive method of the electro-optics equipment in this operation gestalt is explained

[0025] Generally, in liquid crystal equipment using liquid crystal as an opto electronics material, the relation of the voltage actual value and the relative transmittance (or reflection factor) which are impressed to liquid crystal has a relation as shown in drawing 6 , if the normally black mode in which a black display is performed in voltage the state where it does not impress is taken for an example. In addition, with a relative transmittance here, the minimum value and the highest value of the amount of transmitted lights are normalized as 0% and 100%, respectively. As shown in drawing 6 , although the permeability of liquid crystal is 0% when the applied voltage to a liquid crystal layer is smaller than a threshold  $V_{TH1}$ , when applied voltage is one or more thresholds  $V_{TH}$  and it is two or less saturation voltage  $V_{TH}$ , it increases nonlinear to applied voltage. And when applied voltage is two or more saturation voltages  $V_{TH}$ , the permeability of liquid crystal is not based on applied voltage, but maintains constant value.

[0026] Now, in order to make the permeability of liquid crystal into the middle-permeability between 0% and 100%, it is necessary to impress an effective voltage to a liquid crystal layer corresponding to the permeability concerned which is between voltage  $V_{TH1}$  and voltage  $V_{TH2}$  in the voltage / permeability property shown in drawing 6 . under the Prior art, the voltage for obtaining such middle gradation was generated by the analog circuit which are a D/A-conversion circuit, an operational amplifier, etc., and was impressed to the pixel electrode

[0027] However, since the voltage impressed to a pixel electrode by such drive method tends to be influenced by dispersion, such as the property of an analog circuit, and various kinds of wiring resistance, saw it by pixels further and

tended to have become uneven, the quality and high definition gradation display was difficult for it.

[0028] Then, with the electro-optics equipment concerning this operation gestalt, a pixel is driven by the following methods. In addition, in this specification, it is the time taken to form the raster picture of one sheet in a horizontal scanning signal and a vertical-scanning signal a horizontal scanning and by carrying out a vertical scanning synchronizing with the 1 field.

[0029] First, the 1 field is divided into six subfields and voltage impression to a liquid crystal layer is performed in each subfield unit. Voltage corresponding to [ as opposed to / the liquid crystal layer / at each subfield ] 0% of permeability (for example, the voltage VL in drawing 6 (=0V) or the voltage (for example, voltage VH in drawing 6) corresponding to 100% of permeability is impressed.)

[0030] In that case, the subfield which performs impression of the subfield and voltage VL which impress voltage VH is determined according to gradation data so that the ratio of the time when voltage VH is impressed in 1 field, and the time when voltage VL is impressed may turn into a ratio according to gradation data. By doing in this way, the effective voltage according to gradation data is impressed to a liquid crystal layer, and the display of it with the middle-gradation between 0% of permeability and 100% of permeability is attained.

[0031] A: 1st operation gestalt <electric composition> drawing 1 is the block diagram showing the electric composition of the electro-optics equipment concerning the 1st operation gestalt of this invention. This electro-optics equipment is liquid crystal equipment which used liquid crystal as an opto electronics material, and an element substrate and an opposite substrate keep a fixed gap mutual, and are stuck, and it has the composition that opto-electronics-material slack liquid crystal is pinched by this gap. Moreover, with this electro-optics equipment, the semiconductor substrate is used as an element substrate and the circumference drive circuit etc. is formed with the transistor which drives a pixel to this element substrate. The composition of the circuit formed in this element substrate is shown in drawing 1.

[0032] As shown in drawing 1, two or more scanning lines 112 are extended and formed in the direction of X (line), and two or more data-lines 114a and data-line 114b are extended and formed in the direction of Y (train) at viewing-area 101a on an element substrate. The end of each data-line 114b is connected to one data-line 114a which adjoins through a pixel 110 through inverter 114c, and each data-line 114a and data-line 114b make a pair. And the pixel 110 was formed corresponding to each intersection with the scanning line 112 and the data lines 114a and 114b of a couple, and is arranged in the shape of a matrix. With this operation gestalt, although the total number of the scanning line 112 is made into m, and each total number of the data lines 114a and 114b is made into n for convenience (m and n are two or more integers, respectively) and being explained as matrix type display of a m line xn train, it is not the meaning of explanation which limits this invention to this.

[0033] In drawing 1, the timing signal generation circuit 200 is equipment which generates various kinds of timing signals, clock signals, etc. according to the vertical-scanning signal Vs, the horizontal scanning signal Hs, and the dot clock signal DCLK which are supplied from the high order equipment which is not illustrated. It is as follows when main things are enumerated among the signals generated by this timing signal generation circuit 200.

a. the alternating current-ized driving signal LCOM -- this alternating current-ized driving signal LCOM is impressed to the counterelectrode 108 of an opposite substrate In this operation gestalt, the alternating current-ized driving signal LCOM repeats level reversal from VL (=0V) for every field in the condition said to VH from VH to VL (=0V). Here, voltage VH is explained in above-shown drawing 6. In addition, there is a case of explanation where only call VH H level and VL is only called L level about the level of this alternating current-ized driving signal LCOM for convenience.

b. a start pulse DY -- this start pulse is a pulse signal outputted to the beginning of each subfield which divided the 1 field into six

c. a clock signal CLY -- this clock signal CLY is a signal which specifies the horizontal scanning period by the side of a scan (Y side)

d. The latch pulse LP of latch pulse LP \*\* is a pulse signal outputted to the beginning of a horizontal scanning period, and is outputted at the time of level changes (namely, a standup and falling) of a clock signal CLY.

e. a clock signal CLX -- this clock signal CLX is a signal specified by the so-called dot clock

[0034] The above is the outline of the main signals generated by the timing signal generation circuit 200.

[0035] In drawing 1, the scanning-line drive circuit 130 is called so-called Y shift register, transmits the start pulse DY supplied to the beginning of a subfield according to a clock signal CLY, and are the scanning signals G1 and G2, G3, --, a thing exclusively supplied one by one as Gm at each of the scanning line 112.

[0036] The data-line drive circuits 140 supply n latched binary signals Ds to data-line 114a which corresponds, respectively all at once in the next horizontal scanning period as data signals d1, d2, d3, --, dn, after [ which is equivalent to the number of data-line 114a in a binary signal Ds in a certain horizontal scanning period ] latching n

pieces one by one. The concrete composition of this data-line drive circuit 140 is as being shown in drawing 2.

[0037] As shown in drawing 2, this data-line drive circuit 140 consists of an X shift register 1410, the 1st latch circuit 1420, and the 2nd latch circuit 1430. The X shift register 1410 transmits the latch pulse LP supplied to the beginning of a horizontal scanning period according to a clock signal CLX, and supplies it exclusively one by one as latch signals S1, S2, S3, --, Sn. The 1st latch circuit 1420 latches a binary signal Ds one by one in falling of the latch signals S1, S2, S3, --, Sn. The 2nd latch circuit 1430 is supplied to each of data-line 114a as data signals d1, d2, d3, --, dn while it latches each of the binary signal Ds latched by the 1st latch circuit 1420 all at once in falling of the latch pulse LP. On the other hand, since each data-line 114b is connected to each data-line 114a through inverter 114c, the signal which carried out level reversal of the above-mentioned data signals d1, d2, d3, --, dn is supplied to each data-line 114b.

[0038] Here, in this specification, after the writing of a data signal is started to one of pixels in one subfield, a period until the writing of a data signal is completed to all pixels is called "data transfer period." Specifically, a period after the output of the first scanning signal G1 (scanning signal to the scanning line 112 most located in an upper case among drawing 1) is started from the scanning-line drive circuit 130 until the output of the last scanning signal Gm (scanning signal to the scanning line 112 most located in the lower berth) is completed is a period equivalent to a data transfer period. In addition, in fact, as shown in drawing 7 (it mentions later for details), although shifted at the start [ of each subfield ], and output start time (at namely, the standup time of a start pulse DY) of the first scanning signal G1 in time, below, explanation is advanced for convenience as a thing of explanation which it is about the start point of a data transfer period at the standup time of a start pulse DY.

[0039] Now, in this operation gestalt, as mentioned above, the 1 field is divided into six subfields Sf0-Sf5, and the on-off drive of the pixel corresponding to 5-bit gradation data is performed in each of these subfield units. Here, the time length of each subfield serves as the sum total with the time length which can give the effective voltage which has weight the time length of the above-mentioned data transfer period, and predetermined to a pixel. Hereafter, the concrete time length of each subfield is explained (refer to drawing 8).

- a. The subfield Sf0 serves as time length which doubled the time length of a data transfer period, and the time length which can give the effective voltage equivalent to voltage VTH1 in above-shown drawing 6 to a liquid crystal layer.
- b. The subfield Sf1 serves as time length which doubled the time length of a data transfer period, and the time length which can give the effective voltage equivalent to weight "1" to a pixel.
- c. The subfield Sf2 serves as time length which doubled the time length of a data transfer period, and the time length which can give the effective voltage equivalent to weight "2" to a pixel.
- d. The subfield Sf3 serves as time length which doubled the time length of a data transfer period, and the time length which can give the effective voltage equivalent to weight "4" to a pixel.
- e. The subfield Sf4 serves as time length which doubled the time length of a data transfer period, and the time length which can give the effective voltage equivalent to weight "8" to a pixel.
- f. The subfield Sf5 serves as time length which doubled the time length of a data transfer period, and the time length which can give the effective voltage equivalent to weight "16" to a pixel.

[0040] The time length of each subfields Sf0-Sf5 is selected as mentioned above, and it determines the subfield which performs impression of the subfield and voltage VL which impress voltage VH according to gradation data so that the ratio of the time when voltage VH is impressed in 1 field, and the time when voltage VL is impressed may turn into a ratio according to gradation data. And the image display of 32 gradation corresponding to gradation data by this is possible.

[0041] Next, the concrete composition of a pixel 110 is explained with reference to drawing 3.

[0042] The circuit which the pixel 110 in this operation gestalt chooses voltage Von or Voff according to the digital signal memorized by the memory which memorizes a 1-bit digital signal to the pixel itself, and this memory, and is impressed to a pixel electrode is prepared.

[0043] In drawing 3, one output terminal is connected to the input terminal of another side, and inverters 121 and 122 constitute 1-bit memory as a whole. Transistors 116a and 116b are switching transistors made into an ON state, when writing in to this 1-bit memory, each drain is connected to each output terminal of inverters 121 and 122, and each gate is connected to the scanning line 112 which supplies the scanning signal Gi. Moreover, data-line 114a is connected to the source of transistor 116a, and data-line 114b is connected to the source of transistor 116b, respectively. Here, while Signal dj (j=1-n) is supplied to data-line 114a as it is from the data-line drive circuit 140 mentioned above, the signal which carried out level reversal of this signal dj is supplied to data-line 114b. The signal on each of these data lines is given to the memory which consists of inverters 121 and 122 through Transistors 116a and 116b, and is written in this memory.

[0044] The transmission gate 123 is connected to the wiring with which an input edge supplies voltage Von, and the outgoing end is connected to the pixel electrode 118. Moreover, the transmission gate 124 is connected to the wiring

with which an input edge supplies voltage Voff, and the outgoing end is connected to the pixel electrode 118. These transmission gates 123 and 124 are the gates turned on [ gates ] by the ability of each giving the gate signal of H level, and each output signal of the inverters 121 and 122 in the above-mentioned memory is supplied to these as a gate signal.

[0045] Here, operation of this pixel is explained.

[0046] First, when the scanning signal Gi of H level is outputted to the scanning line 112 and Transistors 116a and 116b have become an ON state, suppose that the data signal dj of H level was outputted to data-line 114a, and the signal of L level / dj was outputted to data-line 114b, respectively. In this case, since the output signal of H level and an inverter 122 serves as [ the output signal of an inverter 121 ] L level, only a transmission gate 123 will be in an ON state, and voltage Von is impressed to the pixel electrode 118 through this transmission gate 123.

[0047] Next, if the scanning signal Gi over the scanning line 112 is set to L level, Transistors 116a and 116b will be in an OFF state, and inverters 121 and 122 will maintain the output signal level before it as it is. Since only the output signal of an inverter 121 serves as H level in the meantime, voltage Von will continue being impressed to the pixel electrode 118 through a transmission gate 123.

[0048] Then, when the scanning signal Gi over the scanning line 112 serves as H level again and Transistors 116a and 116b have become an ON state, suppose that the data signal dj of L level was outputted to data-line 114a, and the signal of H level / dj was outputted to data-line 114b, respectively. In this case, since the output signal of L level and an inverter 122 serves as [ the output signal of an inverter 121 ] H level, only a transmission gate 124 will be in an ON state, and voltage Voff is impressed to the pixel electrode 118 through this transmission gate 124.

[0049] And when the scanning signal Gi over the scanning line 112 is set to L level, as mentioned above, inverters 121 and 122 will maintain the output level before it as it is, and voltage Voff will continue being impressed to the pixel electrode 118 through a transmission gate 124. Thus, since the pixel 110 builds in memory, it has the advantage that the situation where the applied voltage to a pixel electrode volatilizes by leak does not arise.

[0050] In addition, for convenience, as a result of supplying the signal of L level for the data signal of H level to data-line 114b to data-line 114a, below, the output signal of an inverter 121 calls H level and the state where the output signal of an inverter 122 was held on L level "state where the signal of H level was written in memory." On the other hand, as a result of supplying the signal of H level for the data signal of L level to data-line 114b to data-line 114a, the output signal of an inverter 121 makes L level and the state where the output signal of an inverter 122 was held on H level "the state where the signal of L level was written in memory." That is, when the data signal of H level is outputted from the data-line drive circuit 140, the signal of H level is written in memory, and voltage Von is impressed to the pixel electrode 118. On the other hand, when the data signal of L level is outputted from the data-line drive circuit 140, the signal of L level will be written in memory, and voltage Voff will be impressed to the pixel electrode 118.

[0051] Now, in this operation form, the voltage Von impressed to the pixel electrode 118 of each of these pixels and the level of Voff switch to either VL (=0V) and VH under predetermined conditions. In drawing 1, the armature-voltage control circuit 160 is for controlling such voltage Von and the level of Voff. Specifically, while the alternating current-ized driving signal LCOM is inputted into the data transfer signal DT which shows that they are voltage VH and VL and a data transfer period, and a row, the voltage Von and Voff which were set as H level (=VH) or L level (=VL=0V) according to each of these signals are outputted to the armature-voltage control circuit 160. It is the signal which shows whether the data transfer signal DT is a data transfer period here, and while being generated by the timing signal generation circuit 200 and specifically starting simultaneously with the standup of a start pulse DY, it is the pulse signal which leaves simultaneously with falling of the scanning signal Gm, and falls (refer to drawing 4).

[0052] Hereafter, with reference to drawing 4, it explains how voltage Von and the level of Voff change as a result of control by the armature-voltage control circuit 160. In addition, below, it divides into the level within the period (henceforth "a non-transmitting period") after the change and the data transfer period within the data transfer period in a subfield pass, and explains. Moreover, below, there is a case of explanation where only call VH H level and VL is only called L level about voltage Von and the level of Voff for convenience.

a. Switch voltage Von and the level of Voff so that it may not be concerned with the signal with which the armature-voltage control circuit 160 was written in the memory in a pixel but the voltage which turns OFF a pixel may be impressed within the data transfer period within a data transfer period. Specifically, in the data transfer period in the field whose alternating current-ized driving signal LCOM is H level, while voltage Von and Voff serve as H level, in the data transfer period in the field whose alternating current-ized driving signal LCOM is L level, voltage Von and Voff serve as L level. That is, since the level difference of the alternating current-ized driving signal LCOM and the applied voltage to the pixel electrode 118 is set to 0V even if it is the case where any of voltage Von and Voff are impressed to the pixel electrode 118 according to the signal written in memory, a pixel is turned off.

b. In after the data transfer period progress within a non-transmitting period (i.e., the inside of a non-transmitting period), voltage Von and the level of Voff are determined so that the voltage for carrying out the on-off drive of the pixel may be impressed to a pixel according to the signal written in the memory in a pixel in the last data transfer period. In the field whose alternating current-ized driving signal LCOM is L level while making Von into L level and making Voff into H level in the field whose alternating current-ized driving signal LCOM is specifically H level, Von is made into H level and Voff is made into L level. Consequently, when the signal written in the memory in a pixel 110 is H level, the voltage which turns on a pixel 110 is impressed (namely, when voltage Von is impressed to the pixel electrode 118), and when the signal written in the memory in a pixel 110 is L level, the voltage which turns off a pixel will be impressed (namely, when voltage Voff is impressed to the pixel electrode 118).

[0053] Thus, with this operation gestalt, between data transfer periods, while a pixel is always turned off [ it ] regardless of the signal written in memory, after progress of a data transfer period, the on-off drive of the pixel is carried out by the signal according to the signal written in memory in the data transfer period concerned.

[0054] Next, the data-conversion circuit 300 shown in drawing 1 generates the binary signal Ds which directs the on-off drive of the pixel concerned from the 5 above-mentioned bits gradation data corresponding to each pixel in each subfield. Drawing 5 shows the relation between a subfield number, and gradation data and a binary signal Ds. The data-conversion circuit 300 holds the table as shown in this drawing at internal memory, and a subfield number and gradation data are given to this memory as the address. Consequently, from the data-conversion circuit 300, a subfield number and the binary signal Ds according to gradation data are outputted.

[0055] Here, a subfield number is a number of each subfield in 1 field, and are one to "0" - "5" of values. while various idea \*\*\*\* carry out counting of the start pulse DY about the method of generating this subfield number -- level changes (a standup and falling) of the alternating current-ized driving signal LCOM -- the counting concerned -- the counter by which a result is reset may be prepared and the counted value obtained from this counter may be used as a subfield number The data-conversion circuit 300 outputs the on-off data corresponding to the combination of the subfield number and gradation data which are obtained by doing in this way as a binary signal Ds.

[0056] Here, the binary signal Ds of H level will present the operation which impresses voltage Von to the pixel electrode 118 in a pixel, and the binary signal Ds of L level will present the operation which impresses voltage Voff to the pixel electrode 118 in a pixel. For example, since the signal of H level will be written in memory supposing the signal Ds of H level is outputted from the data-conversion circuit 300 and the data signal of H level is outputted to one of data-line 114a as a result, voltage Von is impressed to the pixel electrode 118. As illustrated to drawing 5, when gradation data are 00000, the binary signal Ds of L level is outputted in all subfields. Consequently, in all subfields, voltage Voff will be impressed to the pixel electrode 118 of the pixel concerned. Moreover, when gradation data are 00001, while the binary signal Ds of H level is outputted in subfields Sf0 and Sf1, the binary signal Ds of L level is outputted in other subfields. Consequently, while voltage Von is impressed in subfields Sf0 and Sf1, in subfields Sf2-Sf5, voltage Voff is impressed to the pixel electrode 118 of the pixel concerned.

[0057] In addition, by the subfield Sf0, as shown in drawing 5, when gradation data are 00001 or more, the binary signal Ds of H level is outputted regardless of gradation data. This is outputted to the data-line drive circuit 140 from the data-conversion circuit 300, in order to impress the effective voltage equivalent to voltage VTH1 in above-shown drawing 6 to the pixel concerned, as mentioned above.

[0058] Since it is necessary to output the binary signal Ds generated in the data-conversion circuit 300 synchronizing with operation of the scanning-line drive circuit 130 and the data-line drive circuit 140, as shown in drawing 1, a start pulse DY, the clock signal CLY which synchronizes with a horizontal scanning, and the latch pulse LP which specifies the beginning of a horizontal scanning period and the clock signal CLX equivalent to a dot clock signal are supplied to the data-conversion circuit 300.

[0059] <Operation>, next operation of the electro-optics equipment concerning the operation gestalt mentioned above are explained. Drawing 7 is a timing chart which shows operation of this electro-optics equipment.

[0060] First, the alternating current-ized driving signal LCOM carries out level reversal at every 1 field (1f), and is impressed to a counterelectrode 108. On the other hand, a start pulse DY is outputted from the timing signal generation circuit 200 in the start timing of each subfield.

[0061] Here, in the 1 field where the alternating current-ized driving signal LCOM serves as H level, if the start pulse DY which specifies the start of a subfield Sf0 is supplied, the scanning signals G1 and G2, G3, --, Gm will be exclusively outputted one by one by the transfer according to the clock signal CLY in the scanning-line drive circuit 130 (refer to drawing 1). In addition, as shown in drawing 7, the data transfer period is set as the period still shorter than the shortest subfield.

[0062] Now, by Gm's having the scanning signals G1 and G2, G3, --, the pulse width that is equivalent to the half period of a clock signal CLY, respectively, and counting from a top, at least, only the half period of a clock signal CLY

is delayed and the scanning signal G1 corresponding to 1 Motome's scanning line 112 is outputted, after a start pulse DY is supplied and a clock signal CLY starts first. Therefore, after a start pulse DY is supplied to the beginning of a subfield before the scanning signal G1 is outputted, one shot (G0) of the latch pulse LP will be supplied to the data-line drive circuit 140.

[0063] Then, the case where one shot (G0) of this latch pulse LP is supplied is examined. First, if one shot (G0) of this latch pulse LP is supplied to the data-line drive circuit 140, the latch signals S1, S2, S3, --, Sn will be exclusively outputted one by one to a horizontal scanning period (1H) by the transfer according to the clock signal CLX in the data-line drive circuit 140 (refer to drawing 2). In addition, the latch signals S1, S2, S3, --, Sn have the pulse width which is equivalent to the half period of a clock signal CLX, respectively.

[0064] Under the present circumstances, the 1st latch circuit 1420 in drawing 2 In falling of the latch signal S1, it counts from a top. 1 Motome's scanning line 112, Count from the left, and latch the binary signal Ds to the pixel 110 corresponding to intersection with 1 Motome's data-line 114a, next it sets in falling of the latch signal S2. It counts from a top, and it counts from the left with 1 Motome's scanning line 112, the binary signal Ds to the pixel 110 corresponding to intersection with 2 Motome's data-line 114a is latched, and it counts from a top similarly hereafter. 1 Motome's scanning line 112, It counts from the left and the binary signal Ds to each pixel 110 corresponding to each intersection with each data-line 114a to n Motome is latched one by one.

[0065] By this, in drawing 1, the binary signal Ds for the pixel of one line corresponding to intersection with upper shell 1 Motome's scanning line 112 will be first latched to the dot order following target by the 1st latch circuit 1420. In addition, the data-conversion circuit 300 changes and outputs the gradation data of each pixel to a binary signal Ds according to the timing of the latch by the 1st latch circuit 1420. This conversion is performed according to the table of truth value shown in above-shown drawing 5.

[0066] Next, if a clock signal CLY falls and the scanning signal G1 is outputted, as a result of counting from a top in drawing 1 and choosing 1 Motome's scanning line 112, the transistor 116 of the pixel 110 corresponding to intersection with the scanning line 112 concerned is turned on altogether. On the other hand, the latch pulse LP is outputted by falling of the clock signal CLY concerned. And in the falling timing of this latch pulse LP, the 2nd latch circuit 1430 supplies the binary signal Ds latched to the dot order following target by the 1st latch circuit 1420 all at once to each of corresponding data-line 114a as data signals d1, d2, d3, --, dn. In this case, the signal which carried out level reversal of the data signal is supplied to each of data-line 114b. It will count from a top and the writing of each data signal will be simultaneously performed in the memory in each pixel 110 of the 1st line by this operation.

[0067] In parallel to this writing, the binary signal Ds for the pixel of one line corresponding to intersection with upper shell 2 Motome's scanning line 112 is latched to the dot order following target by the 1st latch circuit 1420 in drawing 1.

[0068] On the other hand, the armature-voltage control circuit 160 controls voltage Von and the voltage value of Voff, as illustrated to above-shown drawing 4. While setting [ in / a data transfer period / since the case where the alternating current-ized driving signal LCOM is H level is assumed here ] Von and Voff as H level, in a non-transmitting period, Von is set as L level and Voff is set as H level, respectively.

[0069] It is repeated until the scanning signal Gm corresponding to m Motome's scanning line 112 in the same operation as henceforth is outputted. Namely, it sets during [ when a certain scanning signal Gi (integer with which i fills  $1 \leq i \leq m$ ) is outputted ] the 1 horizontal scanning (1H). the dot order of the binary signal Ds which receives one line of the pixel 110 corresponding to the writing of the data signals d1-dn which receive one line of the pixel 110 corresponding to i Motome's scanning line 112, and Motome's (i+1) scanning line 112 -- degree latch of-like will be performed in parallel In addition, the data signal written in the memory in a pixel 110 is held until a new data signal is written in in the following subfield.

[0070] Furthermore, the field switches, and when the alternating current-ized driving signal LCOM is reversed on L level, the same operation is repeated in each subfield. However, it switches so that may be set voltage Von as H level and Voff may be set as L level in a non-transmitting period, while setting voltage Von and Voff as L level in a data transfer period, as the armature-voltage control circuit 160 was shown in above-shown drawing 4.

[0071] Next, as a result of performing such operation, the voltage impressed to the liquid crystal layer in a pixel 110 is examined. Drawing 8 is a timing chart which indicates the impression wave to the pixel electrode 118 in a pixel 110 to be gradation data.

[0072] As shown in drawing 8, the memory in each pixel is received within the data transfer period in each subfield (section which attached the slash in drawing 8), it is not concerned with whether the data signal of the level of a gap is written in, but the voltage which turns off a pixel is impressed. For example, in the data transfer period in the field whose alternating current-ized driving signal LCOM is H level, voltage Von and Voff are set as H level by the armature-voltage control circuit 160. therefore, in the period concerned, even if it is the case where the signal of which

level is written in the memory in a pixel, and it is the case where any of voltage Von and Voff are impressed to the pixel namely,, a pixel is turned off On the other hand, in the non-transmitting period, voltage Von is set as L level and Voff is set as H level by the armature-voltage control circuit 160, respectively. Therefore, a pixel is turned off, when the signal of L level is memorized by the memory in a pixel, while a pixel is turned on when the signal of H level is memorized by the memory in a pixel 110 (namely, when voltage Von is impressed to the pixel electrode 118) (namely, when voltage Voff is impressed to the pixel electrode 118).

[0073] For example, the alternating current-ized driving signal LCOM is H level, and when the gradation data which are a certain pixel are 00000, as a result of following the table shown in drawing 5 , the signal of L level is written in the memory in the pixel concerned over all the subfields Sf0-Sf5. In this case, of course, voltage Voff (VH) is impressed to the pixel electrode 118 in all subfields also in a non-transmitting period that a pixel becomes off in a data transfer period. Consequently, the voltage actual value impressed to a liquid crystal layer in the 1 field is set to 0V. Therefore, the permeability of the pixel concerned becomes 0% corresponding to the gradation data 00000.

[0074] Moreover, while the signal of H level is written [ in / subfields Sf0 and Sf1 / when the gradation data of a certain pixel are 00001, as a result of following the table shown in drawing 5 / in the memory in the pixel concerned ] in, the signal of L level is written in in other subfields. Consequently, in subfields Sf0 and Sf1 (a data transfer period and non-transmitting period), voltage Von is impressed to the pixel electrode 118. However, in a data transfer period, since the level difference of the alternating current-ized driving signal LCOM and the voltage Von impressed to the pixel electrode 118 is 0V, a pixel is turned off. On the other hand, in a non-transmitting period, in order that the level of voltage Von may be reversed (set to L level), the voltage which sets a pixel to ON is impressed to the pixel electrode 118. Moreover, in subfields Sf2-Sf5, the voltage to which a data transfer period and a non-transmitting period make a pixel off is impressed. Consequently, the effective voltage corresponding to the gradation data 00001 will be given to a pixel, and the permeability according to the gradation data is obtained.

[0075] Furthermore, when the gradation data of a certain pixel are 00010, as a result of following the table shown in drawing 5 , while the signal of H level is written in the memory in the pixel concerned in subfields Sf0 and Sf2, the signal of L level is written in in other subfields. Consequently, in subfields Sf0 and Sf2, although voltage Von is impressed to the pixel electrode 118, while a pixel becomes off in a data transfer period, in a non-transmitting period, a pixel is turned on for the reason same with having mentioned above. Moreover, the voltage which makes a pixel off in a subfield Sf1, and Sf3-Sf5 is impressed. Consequently, the effective voltage corresponding to the gradation data 00010 will be given to a pixel, and the permeability according to the gradation data is obtained.

[0076] When other gradation data are given, it is the same, and as a result of a pixel's being turned on in the non-transmitting period in the subfield of the number according to gradation data, the permeability according to the gradation data is obtained.

[0077] Next, if the alternating current-ized driving signal LCOM is set to L level, the voltage which carried out level reversal of the voltage which was impressed in the case of H level will be impressed to the pixel electrode 118. For this reason, polarity is reversed and the absolute value serves as applied voltage in case the alternating current-ized driving signal LCOM of the voltage impressed to each liquid crystal layer when the alternating current-ized driving signal LCOM was H level is L level with an equal. Therefore, as a result of avoiding the situation where a dc component is impressed to a liquid crystal layer, degradation of liquid crystal will be prevented.

[0078] According to the electro-optics equipment concerning such this operation gestalt, the 1 field is divided into two or more subfields Sf0-Sf5, H level or L level is written in a pixel for every subfield, and the voltage actual value in the 1 field is controlled. For this reason, the data signal supplied to the data lines 114a and 114b is only H level or L level, and since it is binary-like, in circumference circuits, such as a drive circuit, the circuit for processing analog signals, such as a highly precise D/A-conversion circuit and an operational amplifier, becomes unnecessary. For this reason, since circuitry is simplified sharply, it becomes possible to hold down the cost of the whole equipment low.

[0079] Furthermore, since the data signal (dj and /dj) supplied to the data lines 114a and 114b is binary-like, the display nonuniformity resulting from heterogeneity, such as an element property and wiring resistance, does not generate it theoretically. For this reason, according to the electro-optics equipment concerning this operation form, a high-definition and high definition gradation display is attained.

[0080] Moreover, in this operation form, in each of two or more subfields, after a data transfer period passes, the voltage according to the signal written in memory is impressed to the pixel electrode 118. For this reason, in each subfield, there are the following advantages from from as compared with the drive method (henceforth the drive method" besides ") of impressing the voltage according to the data signal concerned to a pixel electrode, immediately after supplying a data signal to each pixel, without distinguishing a data transfer period and a non-transmitting period about impression of the voltage to each pixel.

[0081] Drawing 9 (a) is a timing chart which shows the relation between each subfield and data transfer period at the

time of using the drive method besides the above, and a voltage impression period. If a data signal  $d_j$  is supplied to a certain pixel in the drive method besides the above all over this drawing so that it may be shown as a "voltage impression period", the voltage according to the data signal  $d_j$  concerned is immediately impressed to a pixel electrode, and this voltage will be maintained until new data signal  $d_{j+1}$  is supplied in the following subfield. In addition, in drawing 9 (a), since the pixel to which a data signal is supplied immediately after outputting a start pulse DY (namely, immediately after the start of a data transfer period) is made into the example, voltage is impressed from immediately after the start of a subfield. Of course, in the pixel (namely, pixel by which a data signal is supplied to the last of a data transfer period) by which a data signal is supplied, for example to the last of one screen, a voltage impression period will begin from the time of the last of a data transfer period.

[0082] Here, in such a method, the case where the number of gradation which can be displayed is made to increase is examined.

[0083] In order to make the number of gradation which can be displayed increase, it is necessary to make [ more ] the kind (number) of value of the effective voltage which may be impressed to a pixel. And for that, you have to prepare the subfield which can give a smaller effective voltage to a pixel. if another expression is carried out, it is necessary to prepare the subfield with the shorter (= -- for small voltage actual value to be given) time when voltage is impressed to a pixel

[0084] However, in the case of the method shown in drawing 9 (a), the time length of each subfield cannot be made shorter than the time length of a data transfer period. If it puts in another way, the time length of a voltage impression period cannot be made shorter than the time length of a data transfer period. Consequently, the time length of one subfield cannot be shortened and an effective voltage smaller than the effective voltage which can be impressed when the time length of voltage impression time and the time length of a data transfer period are made equal cannot be impressed to a pixel. Here, although the number of gradation can also be increased since the voltage impression period in one subfield can be shortened further if a data transfer period can be shortened, there is a limitation in shortening of a data transfer period on the performance of each drive circuit etc. After all, in other drive methods mentioned above, a limitation is in many gradation-ization of image display.

[0085] On the other hand, in this operation form, as shown in drawing 9 (b), the signal written in memory after progress of a data transfer period is embraced, and a pixel is turned on or turned off. In addition, in drawing 9 (b), a "voltage impression period" is a period which impresses the voltage which turns on a pixel according to the signal written in memory, or the voltage to turn off, and is a period equivalent to "the non-transmitting period" in the above-mentioned operation form.

[0086] In order to make the number of gradation increase as mentioned above, it is necessary to prepare the subfield which can give smaller voltage actual value to a pixel, i.e., a subfield with the shorter time when voltage is impressed to a pixel. Here, in a method besides the above, although there were restrictions that the time length of a voltage impression period could not be made shorter than the time length of a data transfer period, according to the method concerning this operation form, the time length of voltage impression time can be freely set up regardless of the time length of a data transfer period. That is, the subfield which can give an effective voltage small [ how ] can also be prepared.

[0087] As explained above, according to the method concerning this operation form, a non-transmitting period, i.e., the period when the voltage according to the data signal is impressed to each pixel, can be arbitrarily set up regardless of the time length of a data transfer period. Consequently, there is an advantage that many gradation-ization of image display is realizable, by shortening a voltage impression period (non-transmitting period). If it puts in another way, even if it is the case where a multi-gradation display is performed, the short highly efficient drive circuit of a data transfer period is not needed.

[0088] B: Explain the 2nd operation gestalt, next the 2nd operation gestalt of this invention. In addition, since this whole operation gestalt composition is the same as the composition of the 1st operation gestalt shown in above-shown drawing 1 , the explanation is omitted.

[0089] In the above-mentioned 1st operation gestalt, the armature-voltage control circuit 160 which switches voltage Von and the level of Voff in a data transfer period and a non-transmitting period was formed, and thereby, even if it was the case where which signal was written in memory in the data transfer period, the voltage which makes a pixel off was made to be impressed. On the other hand, in this operation gestalt, the circuit prepared in the pixel realizes this function.

[0090] Drawing 10 is drawing showing the composition of the pixel 110 in the electro-optics equipment concerning this operation gestalt. In addition, in drawing 10 , the sign same about the portion which is common to each part shown in above-shown drawing 3 as drawing 3 is attached, and the detailed explanation is omitted.

[0091] As shown in drawing 10 , NAND gate 125 is formed in the pixel 110 in this operation gestalt. One input

terminal of this NAND gate 125 is connected to the output terminal of an inverter 121, and the signal written in memory is inputted. Moreover, the signal/DT which carried out level reversal of the data transfer signal DT are inputted into the input terminal of another side of NAND gate 125. The transmission gate 124 and the inverter 126 are connected to the output terminal of NAND gate 125 in parallel, and the transmission gate 123 is connected to the output terminal of this inverter 126.

[0092] These transmission gates 123 and 124 are the gates turned on [ gates ] by the gate signal of H level being given by each. Specifically, the output signal of above-mentioned NAND gate 125 is supplied to a transmission gate 124 as a gate signal, and the signal with which level reversal of the output signal of NAND gate 125 was carried out through the inverter 126 is supplied to it as a gate signal at a transmission gate 123.

[0093] Moreover, in the above-mentioned 1st operation gestalt, it considered as the composition of the data transfer period in each subfield, and a non-transmitting period which responds for switching and switches voltage Von and the level of Voff by the armature-voltage control circuit 160. On the other hand, in this operation gestalt, as shown in drawing 11 , while voltage Voff serves as the same level as the alternating current-ized driving signal LCOM, the armature-voltage control circuit 160 operates so that voltage Von may serve as a level signal which reversed the alternating current-ized driving signal LCOM.

[0094] Next, with reference to drawing 10 and drawing 11 , the voltage impressed to the pixel electrode 118 in the above-mentioned pixel 110 is explained. In addition, below, it divides and explains in a data transfer period and a non-transmitting period.

a. Since the data transfer signal DT serves as H level within a data transfer period data transfer period, the signal/DT inputted into one input terminal of NAND gate 125 serve as L level (refer to drawing 11 ). Consequently, it is not concerned with whether the signal of which level is inputted into the input terminal (namely, input terminal connected to the inverter 121) of another side, but the signal of H level is outputted from NAND gate 125. For this reason, since only a transmission gate 124 is turned on, voltage Voff is impressed to the pixel electrode 118. Here, since voltage Voff serves as the same level as the alternating current-ized driving signal LCOM in this operation gestalt as shown in drawing 11 , in a data transfer period, it is not concerned with whether the signal of which level is written in memory, but a pixel is turned off.

b. In non-transmitting period a non-transmitting period, i.e., the section which attached the slash in drawing 11 , according to the signal written in memory, voltage Von or Voff is impressed to the pixel electrode 118, and the on-off drive of the pixel is carried out. It is as follows when it explains in full detail.

[0095] In a non-transmitting period, since the data transfer signal DT serves as L level, the signal/DT inputted into one input terminal of NAND gate 125 serve as H level (refer to drawing 11 ). Consequently, the signal which carried out level reversal of the output signal of an inverter 121 is outputted from NAND gate 125. Specifically, in the data transfer period in front of the non-transmitting period concerned, when the signal of H level is written in memory, the signal of L level is outputted from NAND gate 125 (namely, when the output signal of H level and an inverter 122 is held for the output signal of an inverter 121 at L level). Consequently, since only a transmission gate 123 is turned on, voltage Von will be impressed to the pixel electrode 118. Here, as shown in drawing 11 , since voltage Von serves as level opposite to the alternating current-ized driving signal LCOM, a pixel is turned on.

[0096] On the other hand, when the signal of L level is written in memory, the signal of H level is outputted from NAND gate 125 (namely, when the output signal of L level and an inverter 122 is held for the output signal of an inverter 121 at H level). Consequently, since only a transmission gate 124 is turned on, voltage Voff will be impressed to the pixel electrode 118. As mentioned above, since voltage Voff is equal to the level of the alternating current-ized driver voltage LCOM, a pixel is turned off.

[0097] Thus, in this operation form, while a pixel is always turned off [ it ] in a data transfer period, according to the signal written in memory, ON/OFF drive of the pixel will be carried out after progress of a data transfer period. Consequently, the relation between gradation data and the applied voltage to the pixel electrode 118 when the gradation data concerned are given becomes the same as drawing 8 illustrated in the above-mentioned 1st operation form.

[0098] Thus, the same effect as the above-mentioned 1st operation form is acquired also according to this operation form. Moreover, in the above-mentioned operation form, although it needed to synchronize with switching and voltage Von and the level of Voff needed to be repeatedly switched into 1 field, since [ of a data transfer period and a non-transmitting period ] it is not necessary to switch voltage Von and the level of Voff into 1 field, there is an advantage that power consumption can be low stopped as compared with the above-mentioned operation form, according to this operation form.

[0099] C: Although the operation form of this invention was explained beyond the modification, the above-mentioned operation form is instantiation to the last, and can add various deformation to the above-mentioned operation form in

the range which does not deviate from the meaning of this invention. As a modification, the following can be considered, for example.

[0100] <Modification 1> (1) In the 1st 1st operation form of the mode above, although it was made to make a pixel always off in the data transfer period, in a data transfer period, you may always be made to turn ON a pixel. Hereafter, with reference to drawing 12, the voltage Von in this case and change of Voff are explained. In addition, the situation of the voltage Von in this mode and level change of Voff is shown in the portion of (a) in drawing 12.

a. Switch voltage Von and the level of Voff so that it may not be concerned with the signal with which the armature-voltage control circuit 160 was written in the memory in a pixel but the voltage which turns ON a pixel may be impressed within the data transfer period within a data transfer period. While the alternating current-ized driving signal LCOM specifically makes voltage Von and Voff L level in the field which is H level, the alternating current-ized driving signal LCOM makes voltage Von and Voff H level in the field which is L level. Consequently, in a data transfer period, even if it is the case where any of voltage Von and Voff are impressed to the pixel electrode 118 according to the signal written in memory, a pixel is turned on.

b. Within the period non-transmitting within a non-transmitting period, the armature-voltage control circuit 160 switches voltage Von and Voff so that the voltage for carrying out the on-off drive of the pixel according to the signal written in memory may be impressed to a pixel. In the field whose alternating current-ized driving signal LCOM is L level while making voltage Von into L level and making voltage Voff into H level in the field whose alternating current-ized driving signal LCOM is specifically H level, voltage Von is made into H level and voltage Voff is made into L level. Consequently, the on-off drive of the pixel will be carried out according to the signal written in the memory in a pixel.

[0101] In order to set a pixel to ON compulsorily in a data transfer period in this mode here, the voltage actual value in each data transfer period in 1 field is the same as the voltage VTH1 shown in drawing 6, or it needs to select the length of a data transfer period etc. so that it may become smaller than it. When it sets up so that the voltage actual value in the data transfer period in 1 field may become equal to the above-mentioned voltage VTH1 here, it becomes unnecessary to form the subfield Sf0 (subfield set as the time length which can give the effective voltage equivalent to voltage VTH1 to a pixel) in the above-mentioned 1st operation form. Since what is necessary is just to give the voltage equivalent to the difference of voltage VTH1 and the voltage actual value concerned to a pixel electrode in a subfield Sf0 when it sets up so that the voltage actual value in the data transfer period in 1 field may become smaller than the above-mentioned voltage VTH1 on the other hand, the time length of a subfield Sf0 can be shortened more.

[0102] (2) Although it is made to make a pixel always off in a data transfer period in the 2nd 1st operation form of the mode above and was always made to set a pixel to ON in the data transfer period in the 1st mode of the above, you may make it turn on or turn off a pixel for every data transfer period in each subfield. That is, for example, you may be made to set a pixel to ON in the data transfer period in subfields Sf [ Sf0-] 2, and to make a pixel off [ in the one field ] in the data transfer period in subfields Sf [ Sf3-] 5. The voltage Von in this case and the situation of level change of Voff are shown in drawing 12 (b).

[0103] When the alternating current-ized driving signal LCOM is H level, as shown in this drawing, in the data transfer period in subfields Sf [ Sf0-] 2, voltage Von and Voff are set as L level. Therefore, in the data transfer period in subfields Sf [ Sf0-] 2, it is not concerned with whether the signal written in the memory in a pixel is which level, but a pixel is turned on. When the alternating current-ized driving signal LCOM is H level similarly, in the data transfer period in subfields Sf [ Sf3-] 5, voltage Von and Voff are set as H level. Therefore, in the data transfer period in subfields Sf [ Sf3-] 5, it is not concerned with whether the signal written in the memory in a pixel is which level, but a pixel is turned off. On the other hand, since voltage Von and Voff are set as L level in the data transfer period in subfields Sf [ Sf3-] 5 while a pixel is turned on in the period concerned, since voltage Von and Voff are set as H level in the data transfer period in subfields Sf [ Sf0-] 2 when the alternating current-ized driving signal LCOM switches to L level, in the period concerned, a pixel is turned off. In addition, the point that the on-off drive of the pixel is carried out according to the signal written in memory in the non-transmitting period is the same as each above-mentioned operation form.

[0104] According to this mode, by, for example, choosing suitably the subfield which turns OFF a pixel in a data transfer period, and the subfield which turns ON a pixel in a data transfer period, the voltage actual value in the data transfer period in the 1 field can be adjusted so that it may become a value (or value near this) equal to the voltage VTH1 mentioned above. It becomes unnecessary to include the subfield Sf0 for giving the effective voltage which is equivalent to voltage VTH1 in such a case in 1 field. In addition, although it sets during the data transfer and the pixel was turned on or turned off in the example mentioned above every continuous subfields Sf0-Sf2 and subfields Sf [ Sf3-] 5 A pixel is turned ON in the data transfer period for example, not only this but in subfields Sf [ Sf0, Sf2, and ] 4. Of course, you may make a pixel ON or the subfield made off not continue within a data transfer period so that it may say

that a pixel is turned OFF in the data transfer period in subfields Sf1 Sf3, and ] 5.

[0105] (3) Whenever it changes into what shows the composition of the pixel in the 3rd mode and above-mentioned 2nd operation form to drawing 13, a pixel can be set to ON within a data transfer period like the 1st mode of the above. In addition, in each part shown in drawing 13, the sign same about each part which is common in drawing 10 shown in the above-mentioned 2nd operation form is attached, and the explanation is omitted.

[0106] As shown in this drawing, as compared with the pixel 110 which showed the pixel 110 in this modification to above-shown drawing 10, the methods of connection of NAND gate 125 and an inverter 126 differ. Specifically, one input terminal of NAND gate 125 is connected to the output terminal of an inverter 122, and the signal written in memory is inputted. Moreover, the signal/DT which carried out level reversal of the data transfer signal DT are inputted into the input terminal of another side of NAND gate 125. On the other hand, the output terminal of NAND gate 125 is connected to the transmission gate 123 and the inverter 126. The output terminal of this inverter 126 is connected to the transmission gate 124.

[0107] Next, the situation of a concrete change of each signal in this mode is explained.

a. Since the data transfer signal DT serves as H level within a data transfer period data transfer period, the signal/DT inputted into one input terminal of NAND gate 125 serve as L level. Consequently, it is not concerned with whether the signal of which level is inputted into the input terminal (namely, input terminal connected to the inverter 122) of another side, but the signal of H level is outputted from NAND gate 125. Consequently, since only a transmission gate 123 is turned on, voltage Von is impressed to the pixel electrode 18. Here, it is not concerned with whether since the level of the alternating current-ized driving signal LCOM is reversed, the signal of which level is written in in the data transfer period at memory, as for voltage Von, but a pixel is turned on.

b. Since the data transfer signal DT serves as L level within non-transmitting period a non-transmitting period, the signal/DT inputted into one input terminal of NAND gate 125 serve as H level. Consequently, the output signal from NAND gate 125 turns into a signal which carried out level reversal of the output signal of an inverter 122. Specifically, in the data transfer period in front of the non-transmitting period concerned, when the signal of H level is written in memory, the signal of H level is outputted from NAND gate 125 (namely, when the output signal of H level and an inverter 122 is held for the output signal of an inverter 121 at L level). Consequently, since only a transmission gate 123 is turned on, voltage Von will be impressed to the pixel electrode 118. Here, as shown in above-shown drawing 11, since voltage Von is the level which reversed the alternating current-ized driving signal LCOM, a pixel is turned on. On the other hand, when the signal of L level is written in memory, the signal of L level is outputted from NAND gate 125 (namely, when the output signal of L level and an inverter 122 is held for the output signal of an inverter 121 at H level). Consequently, since only the transmission gate 124 to which the signal of H level is supplied through an inverter 126 is turned on, voltage Voff will be impressed to the pixel electrode 118. Since voltage Voff is the same level as the alternating current-ized driving signal LCOM, a pixel is turned off.

[0108] Thus, in this mode, while a pixel is always turned on in a data transfer period, according to the signal written in memory in the non-transmitting period, ON/OFF drive of the pixel will be carried out. In addition, what is necessary is just to set up on the conditions shown in the 1st mode of the above, and the same conditions about the voltage actual value in the data transfer period in 1 field.

[0109] As shown in each above-mentioned operation form and this modification, even if it turns on a pixel in a data transfer period, you may make it turn off. If the voltage according to the signal written in memory in the data-transfer period concerned is made to be impressed to a pixel for the first time after a data-transfer period passes while the on-off drive of the pixel is carried out regardless of the signal written in memory in the data-transfer period in one subfield in short, the effect which took in the above-mentioned 1st operation form can acquire.

[0110] In <modification 2> above-mentioned each operation form, although respectively different weighting to the effective voltage impressed to a pixel in each subfield was written and the time length of each subfield differed, the time length of each subfield is not restricted to this. For example, the 1 field may be divided into 32 subfields Sf0-Sf31, and the time length of subfields Sf1-Sf31 other than subfield Sf0 (subfield for impressing the voltage actual value equivalent to voltage VTH1) may be made the same. Drawing 14 is a table which illustrates a relation with a binary signal Ds as the subfield number in this case, and gradation data. According to the table shown in this drawing, the data-conversion circuit 300 outputs the binary signal Ds according to gradation data, and supplies the data-line drive circuit 140 to each pixel by making this binary signal into a data signal. And in each subfield, a pixel is turned OFF within a data transfer period (as shown in the above-mentioned modification 1, it is good also as ON), and it should be made just to carry out the on-off drive of the pixel according to the signal written in memory after data transfer period progress. Even if it does in this way, the same effect as each above-mentioned operation form can be acquired.

[0111] The <whole liquid crystal equipment composition>, next the structure of the electro-optics equipment concerning the operation form mentioned above or an application form are explained with reference to drawing 15 and

drawing 16 . Here, drawing 15 is the plan showing the composition of electro-optics equipment 100, and drawing 16 is the cross section of the A-A' line in drawing 15 .

[0112] As shown in these drawings, electro-optics equipment 100 has the structure where the liquid crystal 105 as an opto electronics material was pinched by this gap while the element substrate 101 in which the pixel electrode 118 etc. was formed, and the opposite substrate 102 in which the counterelectrode 108 etc. was formed maintain a fixed gap and each other are stuck by the sealant 104. In addition, although it is closed with a sealing agent after the amount of notch is in a sealant 104 and liquid crystal 105 is enclosed through here in fact, it is omitted in these drawings.

[0113] Here, since the element substrate 101 is a semiconductor substrate as mentioned above, it is opaque. For this reason, the pixel electrode 118 will be formed from reflection nature metals, such as aluminum, and electro-optics equipment 100 will be used as a reflected type. On the other hand, since the opposite substrate 102 consists of glass etc., it is transparency.

[0114] Now, in the element substrate 101, the shading film 106 is formed in the inside of a sealant 104, and the outside field of viewing-area 101a. The scanning-line drive circuit 130 is formed in field 130a in in the field in which this shading film 106 is formed, and the data-line drive circuit 140 is formed in field 140a. That is, the shading film 106 has prevented that light carries out incidence to the drive circuit formed in this field. It has the composition that the alternating current-ized driving signal LCOM is impressed to this shading film 106 with a counterelectrode 108. For this reason, in the field in which the shading film 106 was formed, since the applied voltage to a liquid crystal layer serves as zero mostly, it will be in voltage the state where it does not impress of the pixel electrode 118, and the same display state.

[0115] Moreover, in the element substrate 101, it is the field 140a outside in which the data-line drive circuit 140 is formed, and two or more end-connection children are formed in the field 107 which separated the sealant 104, and it has the composition of inputting a control signal, a power supply, etc. from the outside.

[0116] On the other hand, the shading film 106 in the element substrate 101 and the end-connection child, and the electric flow are achieved by the flow material (illustration abbreviation) in which the counterelectrode 108 of the opposite substrate 102 was formed in at least one place among four corners in a substrate pasting portion. That is, the alternating current-ized driving signal LCOM has composition further impressed to the shading film 106 through flow material at a counterelectrode 108, respectively through the end-connection child prepared in the element substrate 101.

[0117] Otherwise, corresponding to the use of electro-optics equipment 100, if it is a direct viewing type, the light filter arranged the shape of a stripe, the shape of the shape of a mosaic and a triangle, etc. to the 1st will be prepared in the opposite substrate 102, and the shading film (black matrix) set to the 2nd from a metallic material, a resin, etc. will be prepared in it. In addition, a light filter is not formed when using as a light valve of the projector mentioned later, for example in the case of the use of a colored light modulation. Moreover, in the case of a direct viewing type, the front light which irradiates light from the opposite substrate 102 side is prepared in electro-optics equipment 100 if needed. It adds, and while the orientation film (illustration abbreviation) by which rubbing processing was carried out is prepared in the predetermined direction, respectively and the direction of orientation of the liquid crystal molecule in voltage the state where it does not impress is specified to the electrode forming face of the element substrate 101 and the opposite substrate 102, the polarizer (illustration abbreviation) according to the direction of orientation is formed in the opposite substrate 101 side. However, since efficiency for light utilization will increase as a result of an above-mentioned orientation film's, an above-mentioned polarizer's, etc. becoming unnecessary if the polymer dispersed liquid crystal distributed as a minute grain is used into a macromolecule as liquid crystal 105, in points, such as a raise in brightness, and low-power-izing, it is advantageous.

[0118] <Others> In an operation form, the element substrate 101 which constitutes electro-optics equipment is used as a semiconductor substrate again, and although the transistor 116 connected to the pixel electrode 118 here, the constituent child of a drive circuit, etc. were formed by the MOSFET, this invention is not restricted to this. For example, it is good also as composition which uses the element substrate 101 as amorphous substrates, such as glass and a quartz, deposits a semiconductor thin film here, and forms TFT. Thus, if TFT is used, a transparent substrate can be used as an element substrate 101.

[0119] Furthermore, as an opto electronics material, electroluminescent element (EL) etc. can be used other than liquid crystal, and it can apply to the equipment which displays by the electro-optical effect. That is, this invention is applicable to all the electro-optics equipments that perform a gradation display using the electro-optics equipment which has the composition mentioned above and analogous composition, and the pixel which performs ON or the binary display of OFF especially. In addition, although the situation where carried out level reversal of the alternating current-ized driving signal LCOM for every field, and a dc component was impressed to a liquid crystal layer was avoided when liquid crystal was used as an opto electronics material, as each above-mentioned operation form was

shown, when the electroluminescent element mentioned above as an opto electronics material is used, it is not necessary to carry out an alternating current drive in this way.

[0120] Some of examples which used for concrete electronic equipment <electronic equipment>, next the liquid crystal equipment mentioned above are explained.

[0121] < -- the 1:projector > -- the projector using the electro-optics equipment concerning an operation form as a light valve is explained first Drawing 17 is the plan showing the composition of this projector. As shown in this drawing, in the projector 1100 interior, the polarization lighting system 1110 is arranged along with the system optical axis PL. reflection according [ on this polarization lighting system 1110 and / the outgoing radiation light from a lamp 1112 ] to a reflector 1114 -- abbreviation -- it becomes the parallel flux of light and incidence is carried out to the 1st integrator lens 1120 Thereby, the outgoing radiation light from a lamp 1112 is divided into two or more middle flux of lights. This divided middle flux of light will be changed into one kind of polarization flux of light (s-polarized light flux of light) to which the polarization direction was mostly equal by the polarization sensing element 1130 which has the 2nd integrator lens in an optical incidence side, and outgoing radiation will be carried out from the polarization lighting system 1110.

[0122] Now, the s-polarized light flux of light by which outgoing radiation was carried out from the polarization lighting system 1110 is reflected by the s-polarized light flux of light reflector 1141 of a polarization beam splitter 1140. The flux of light of a blue glow (B) is reflected in the blue light reflex layer of a dichroic mirror 1151 among this reflected light bunch, and reflected type electro-optics equipment 100B becomes irregular. Moreover, among the flux of lights which penetrated the blue light reflex layer of a dichroic mirror 1151, it is reflected in the red light reflex layer of a dichroic mirror 1152, and the flux of light of red light (R) is modulated by reflected type liquid electro-optics equipment 100R. On the other hand, among the flux of lights which penetrated the blue light reflex layer of a dichroic mirror 1151, the flux of light of green light (G) penetrates the red light reflex layer of a dichroic mirror 1152, and is modulated by reflected type electro-optics equipment 100G.

[0123] Thus, after the red by which the colored light modulation was carried out with the electro-optics equipments 100R, 100G, and 100B, respectively, and a green and blue light are compounded one by one by dichroic mirrors 1152 and 1151 and the polarization beam splitter 1140, they will be projected on a screen 1170 by the projection optical system 1160. In addition, since the flux of light corresponding to each primary color of R, G, and B carries out incidence to the electro-optics equipments 100R, 100B, and 100G with dichroic mirrors 1151 and 1152, a light filter is unnecessary.

[0124] The example which applied <the 2:mobile type computer>, next the above-mentioned electro-optics equipment to the mobile type personal computer is explained. Drawing 18 is the perspective diagram showing the composition of this personal computer. In drawing, the computer 1200 consists of this soma 1204 equipped with the keyboard 1202, and a display unit 1206. This display unit 1206 is constituted by adding a front light to the front face of the electro-optics equipment 100 described previously.

[0125] In addition, since electro-optics equipment 100 will be used as a reflective direct viewing type with this composition, the composition in which irregularity is formed is desirable so that the reflected lights may be scattered about in the various directions in the pixel electrode 118.

[0126] < -- the 3:portable telephone > -- the example which applied the above-mentioned electro-optics equipment to the portable telephone is explained further Drawing 19 is the perspective diagram showing the composition of this portable telephone. In drawing, a portable telephone 1300 is equipped with electro-optics equipment 100 with the ear piece 1304 besides two or more operation buttons 1302, and a speaker 1306. A front light is prepared in the front face also at this electro-optics equipment 100 if needed. Moreover, since electro-optics equipment 100 will be used as a reflective direct viewing type, this composition of the composition in which irregularity is formed in the pixel electrode 118 is also desirable.

[0127] In addition, \*\*\*\*\* which it explained with reference to drawing 17 - drawing 19 as electronic equipment, and also was equipped with a liquid crystal television, the video tape recorder of a viewfinder type and a monitor direct viewing type and car navigation equipment, a pager, an electronic notebook, a calculator, a word processor, the workstation, the TV phone, the POS terminal, and the touch panel is mentioned. And it cannot be overemphasized that can apply the electro-optics equipment concerning an operation form or an application form to these various electronic equipment.

[0128]

[Effect of the Invention] Since the signal impressed to the data line is made binary according to this invention as explained above, a high-definition gradation display is attained. Moreover, since the voltage which makes a pixel ON or OFF according to the signal written in the memory in a pixel is impressed after a data transfer period passes, a voltage impression period can be arbitrarily set up regardless of a data transfer period. Therefore, there is an advantage

that many gradation-ization of a display image is easily realizable.

---

[Translation done.]

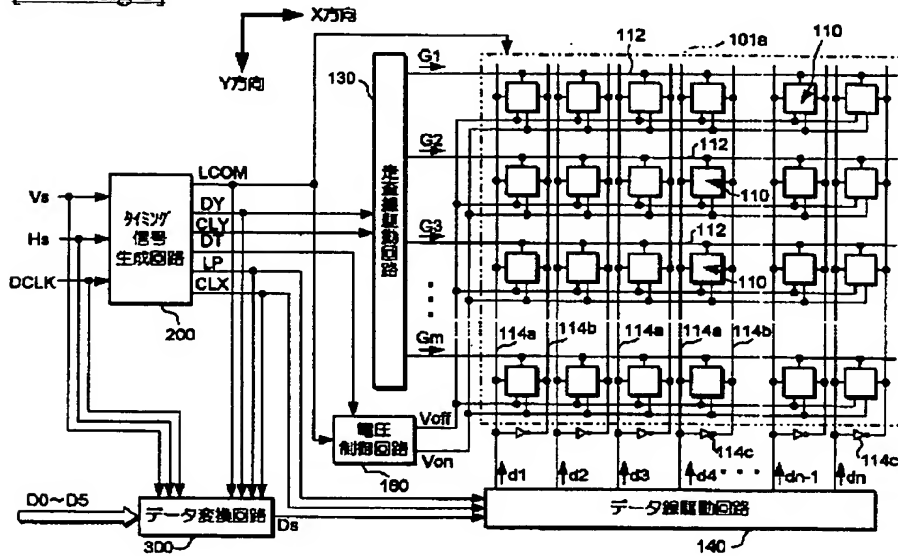
## \* NOTICES \*

Japan Patent Office is not responsible for any damages caused by the use of this translation.

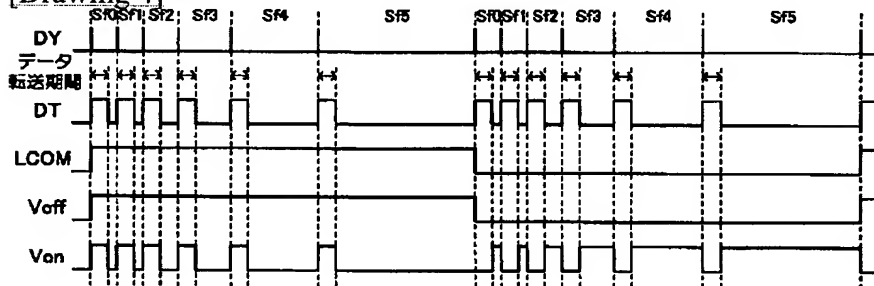
1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

## DRAWINGS

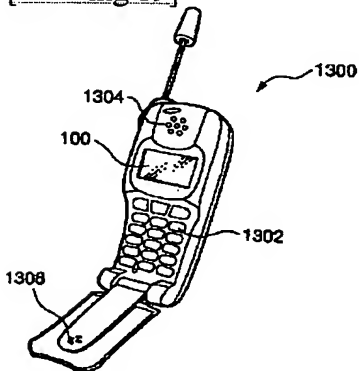
[Drawing 1]



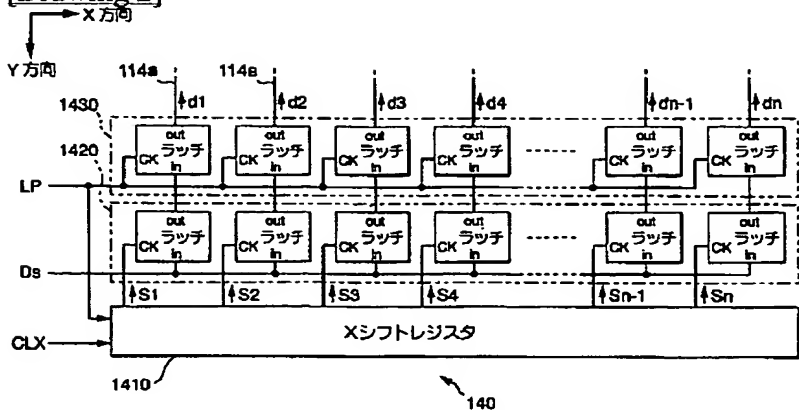
[Drawing 4]



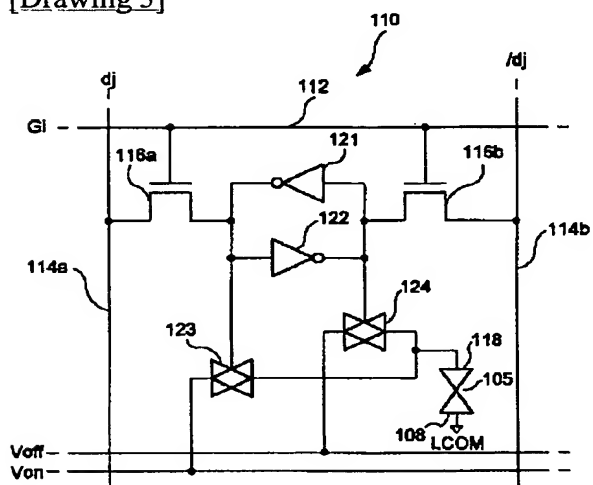
[Drawing 19]



[Drawing 2]



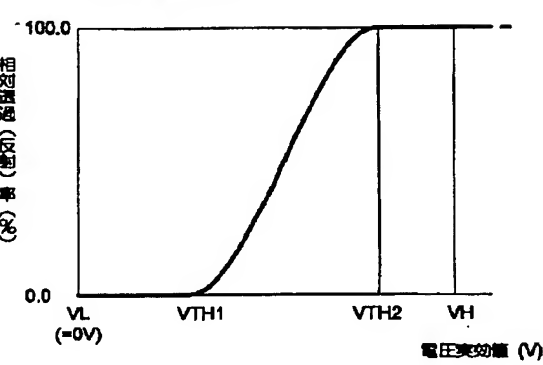
[Drawing 3]



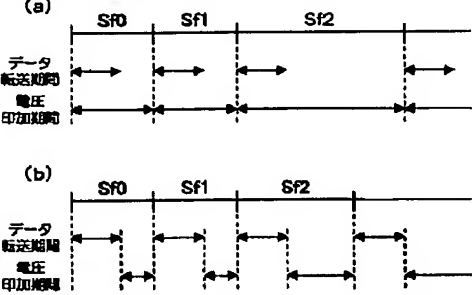
[Drawing 5]

データ	Sf0	Sf1	Sf2	Sf3	Sf4	Sf5
00000	L	L	L	L	L	L
00001	H	H	L	L	L	L
00010	H	L	H	L	L	L
00011	H	H	H	L	L	L
00100	H	L	L	H	L	L
00101	H	H	L	H	L	L
00110	H	L	H	H	L	L
00111	H	H	H	H	L	L
01000	H	L	L	L	H	L
01001	H	H	L	L	H	L
01010	H	L	H	L	H	L
01011	H	H	H	L	H	L
01100	H	L	L	H	H	L
01101	H	H	L	H	H	L
01110	H	L	H	H	H	L
01111	H	H	H	H	H	L
10000	H	L	L	L	L	H
10001	H	H	L	L	L	H
10010	H	L	H	L	L	H
10011	H	H	H	L	L	H
10100	H	L	L	H	L	H
10101	H	H	L	H	L	H
10110	H	L	H	H	L	H
10111	H	H	H	H	L	H
11000	H	L	L	L	H	H
11001	H	H	L	L	H	H
11010	H	L	H	L	H	H
11011	H	H	H	L	H	H
11100	H	L	L	H	H	H
11101	H	H	L	H	H	H
11110	H	L	H	H	H	H
11111	H	H	H	H	H	H

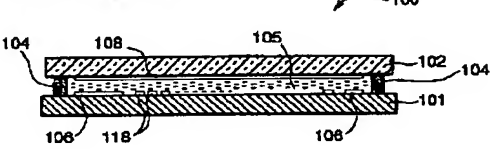
[Drawing 6]  
電圧／透過率特性（ノーマリーブラックモード）



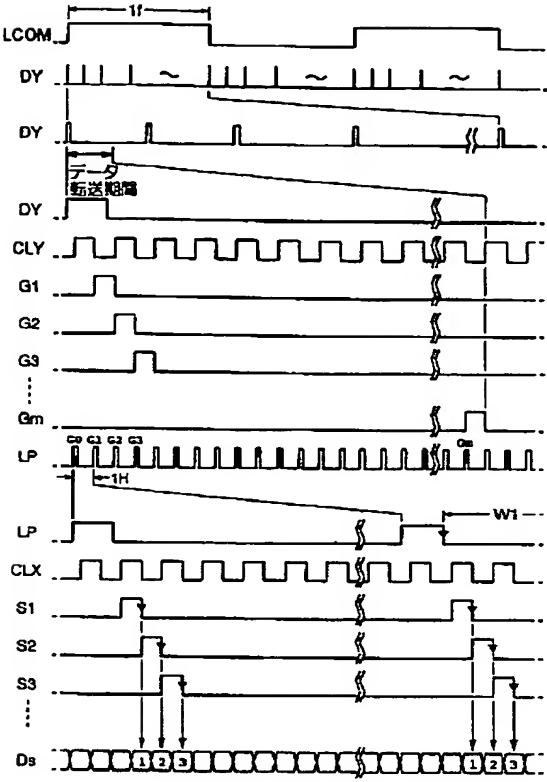
[Drawing 9]



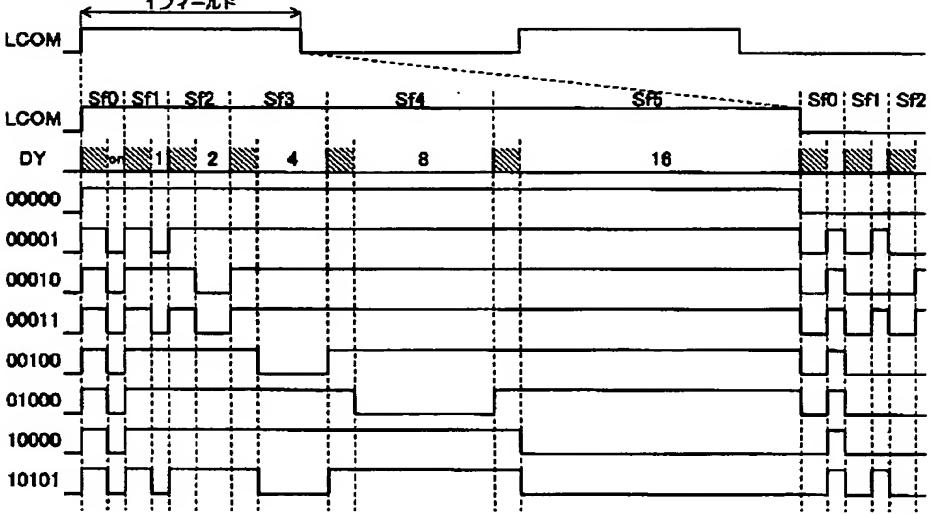
[Drawing 16]



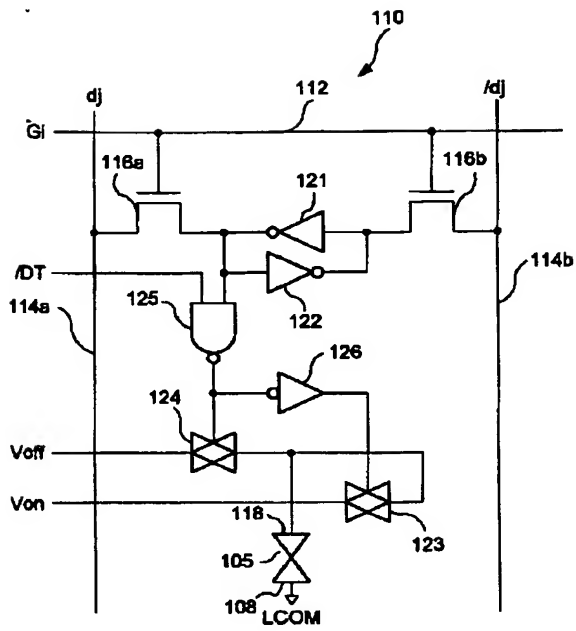
[Drawing 7]



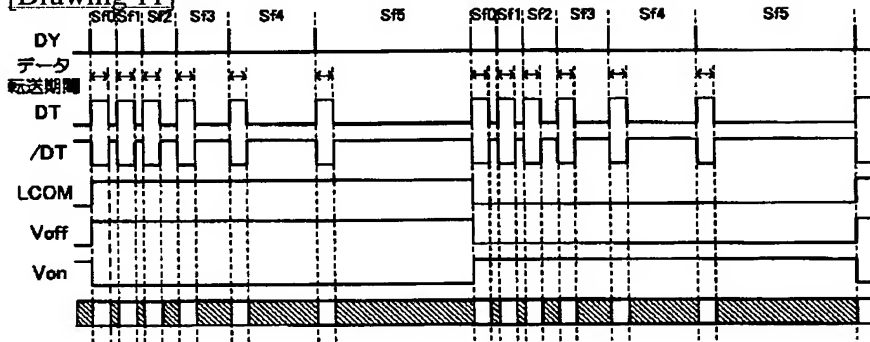
[Drawing 8]



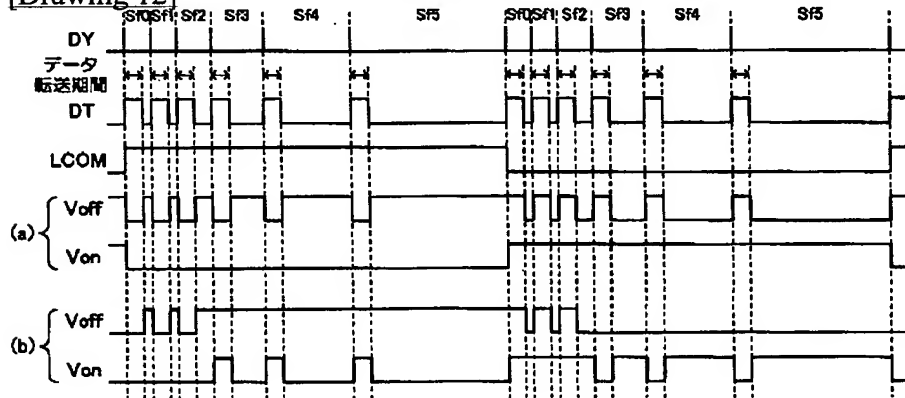
[Drawing 10]



[Drawing 11]



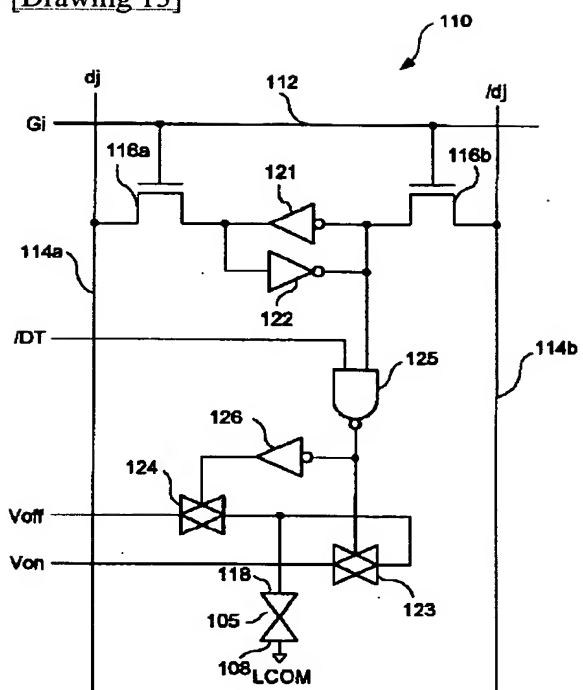
[Drawing 12]



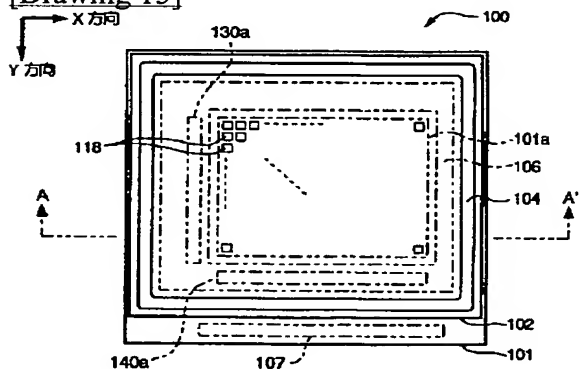
[Drawing 14]

階層 データ	F1								F2								F3								F4							
	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22	23	24	25	26	27	28	29	30	31
00000																																
00001																																
00010																																
00011																																
00100																																
00101																																
00110																																
00111																																
01000																																
01001																																
01010																																
01011																																
01100																																
01101																																
01110																																
01111																																
10000																																
10001																																
10010																																
10011																																
10100																																
10101																																
10110																																
10111																																
11000																																
11001																																
11010																																
11011																																
11100																																
11101																																
11110																																
11111																																

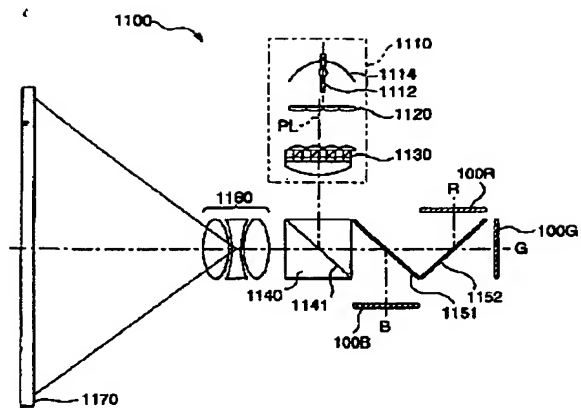
[Drawing 13]



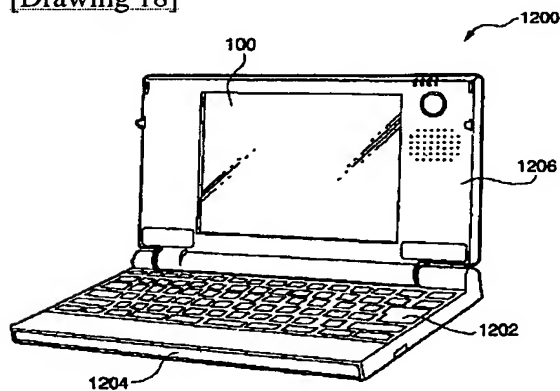
[Drawing 15]



[Drawing 17]



[Drawing 18]



[Translation done.]

